

Les fonctions logiques programmables

1 - Présentation

Les fonctions logiques programmables sont des circuits disposants des entrées et des sorties dont l'utilisateur peut programmer le schéma logique d'après les besoins liées à la fonction souhaitée : Logique combinatoire et/ou séquentielle.

Ces composants sont appelés des PLD (Programmable Logic Device)

Avantages :

Un seul circuit peut remplacer à lui seul l'équivalent de plusieurs circuits en technologie standard TTL ou CMOS.

Composant de faible coût car produits en grand nombre.

La fonction logique réalisée peut être modifiée par programmation, donc sans qu'il soit nécessaire de redessiner un nouveau circuit imprimé.

Inconvénients :

Phase de programmation qui nécessite du temps de main d'œuvre et l'immobilisation de moyens de production (programmeur/Logiciel)

Logiciels et matériel compatibles avec le composant à programmer

Compétences supplémentaires.

2 - Les différents familles de circuits programmable :

Il existe plusieurs familles de PLD qui sont différenciées par leur structure interne. Le tableau suivant présente certaines de ces familles.

Type	Nombre de portes intégrées	Matrice ET	Matrice OU	Effaçable
PROM	2 000 à 500 000	Fixe	Programmable	Non
PAL	10 à 100	Programmable	Fixe	Non
GAL	10 à 100	Programmable	Fixe	Electriquement
EPLD	100 à 3000	Programmable	Fixe	Aux U-V
FPGA	2000 à 3000	Programmable	Programmable	Electriquement

Les constructeurs de P.L.D. se livrent entre eux à une guerre commerciale et sur les appellations, ce qui explique la difficulté à établir la classification des P.L.D.

La plus ancienne et la plus connue est certainement la famille des **P.A.L.** Le nom a été donné par la société M.M.I (qui a fusionné depuis avec A.M.D.), c'est une appellation déposée, comme Walkman pour Sony ou Réfrigérateur pour Frigidaire.

2.1 Les PAL

P.A.L. signifie Programmable Array Logic, c'est à dire réseau logique programmable.

La programmation de ces circuits s'effectue par destruction de fusibles. Une fois programmés on ne peut plus les effacer. On distingue deux sous familles:

- Les P.A.L. combinatoires ou P.A.L. simples. Ils sont constitués de fonctions de logique combinatoire.
- Les P.A.L. à registres ou F.P.L.S. Field Programmable Logic Séquenceur pour séquenceur logique programmable. Ils sont constitués de logique combinatoire et séquentielle (Registre).

2.2 Les EPLD (PAL EFFACABLES)

E.P.L.D. signifie Erasable Programmable Logic Device, c'est à dire circuit logique programmable et effaçable et qui sont aux P.A.L. ce que sont les U.V.P.R.O.M. aux P.R.O.M.

Les E.P.L.D. peuvent être effacés par U.V. ou électriquement. Ils sont encore appelés P.A.L. CMOS.

2.3 Les GAL

G.A.L. signifie Generic Array Logic ou encore réseau logique générique ce qui veut dire pas grand chose mais qui sont aux P.A.L. ce que sont les E.E.P.R.O.M aux P.R.O.M.

Le nom de G.A.L. a été déposé par LATTICE SEMICONDUCTOR.

Leur fonctionnement est identique aux P.A.L. CMOS, ils sont programmables et effaçables électriquement.

2.4 Les CPLD

C.P.L.D. signifie Complex Programmable Logic Device. Ces circuits sont composés de plusieurs P.A.L.s élémentaires (Par exemple l'équivalent de P.A.L.s 22V10) reliés entre-eux par une zone d'interconnexion.

Grâce à cette architecture, ils permettent d'atteindre des vitesses de fonctionnement élevées (plusieurs centaines de Mhz).

2.5 Les L.C.A. et F.P.G.A. à anti-fusible.

- L.C.A. signifie Logic Cell Array ou encore réseau de cellules logiques.

Ces circuits sont composés de blocs logiques élémentaires de 2000 à 10000 portes que l'utilisateur peut interconnecter.

- F.P.G.A signifie Forecasting Programmable Gate Array. Les F.P.G.A. à anti-fusibles sont identiques aux L.C.A sauf qu'ils permettent une plus grande intégration de portes et ils ne sont pas effaçables électriquement. Le nom anti-fusible vient de la programmation des connexions qui s'effectue par fermeture de circuits, comparé aux fusibles où l'on ouvre les circuits.

Voir résumé graphique des familles dans l'annexe 1.

3 - Architecture d'un composant programmable

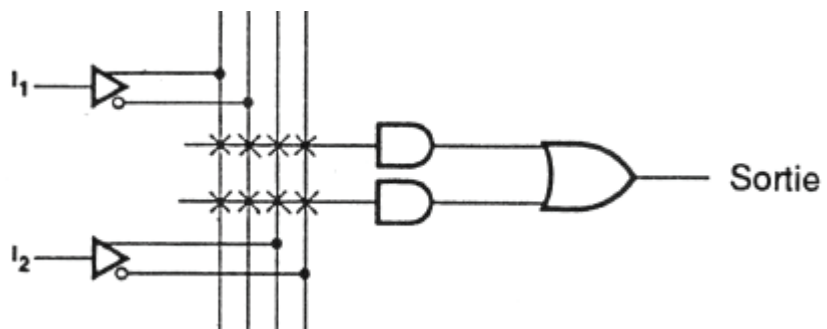
L'architecture interne d'un composant programmable dépend de la catégorie de composant utilisé.

On restera sur la catégorie de produit qui occupe la plus grande place sur le marché :

La gamme PAL16V8/22V10

Un composant logique programmable (PAL : Programmable Array Logic) est basé sur le concept qu'il est possible de remmener toute équation logique en une somme de produits.

Voir Exo 1 du TD.

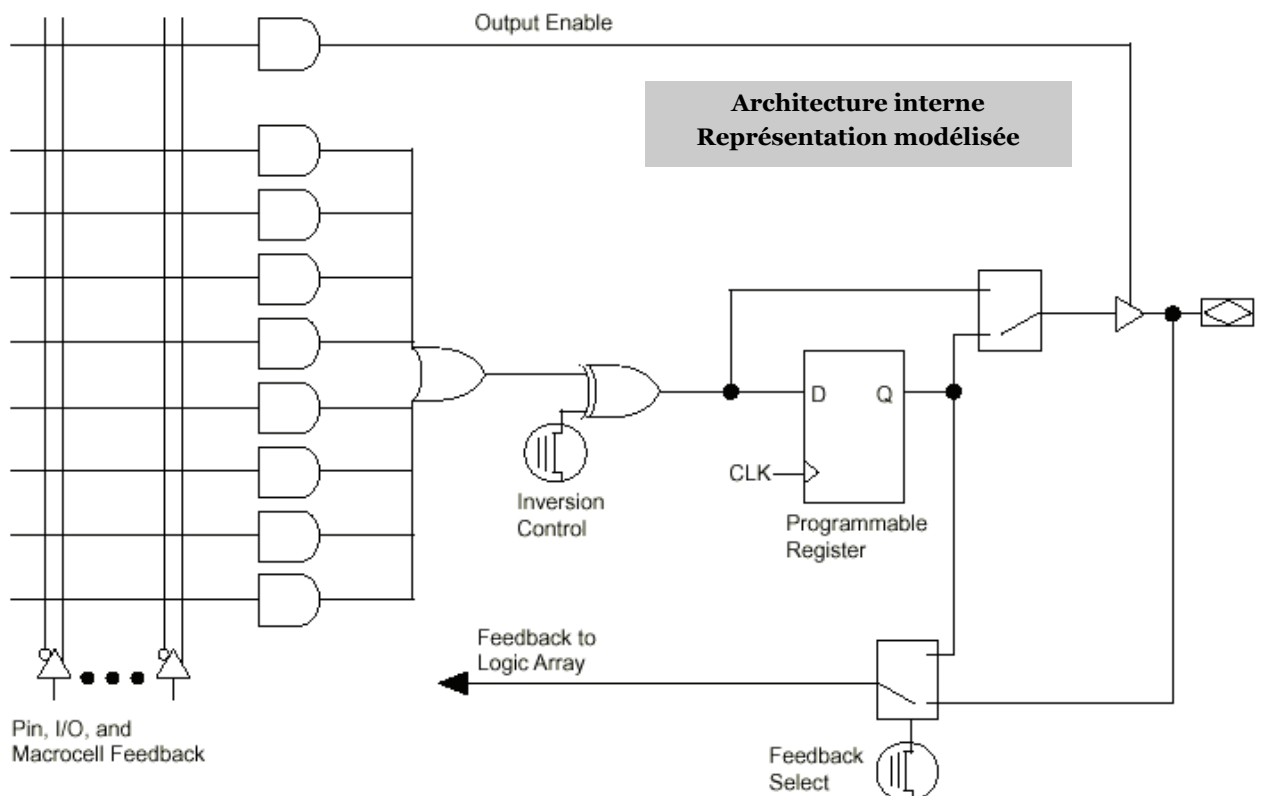
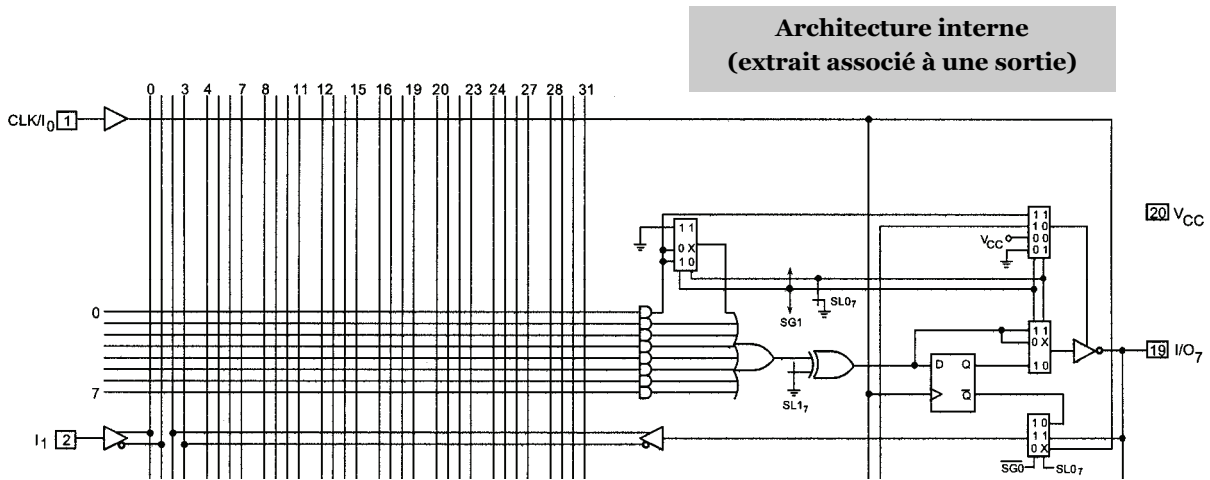


La plupart des PLDs suivent la structure suivante :

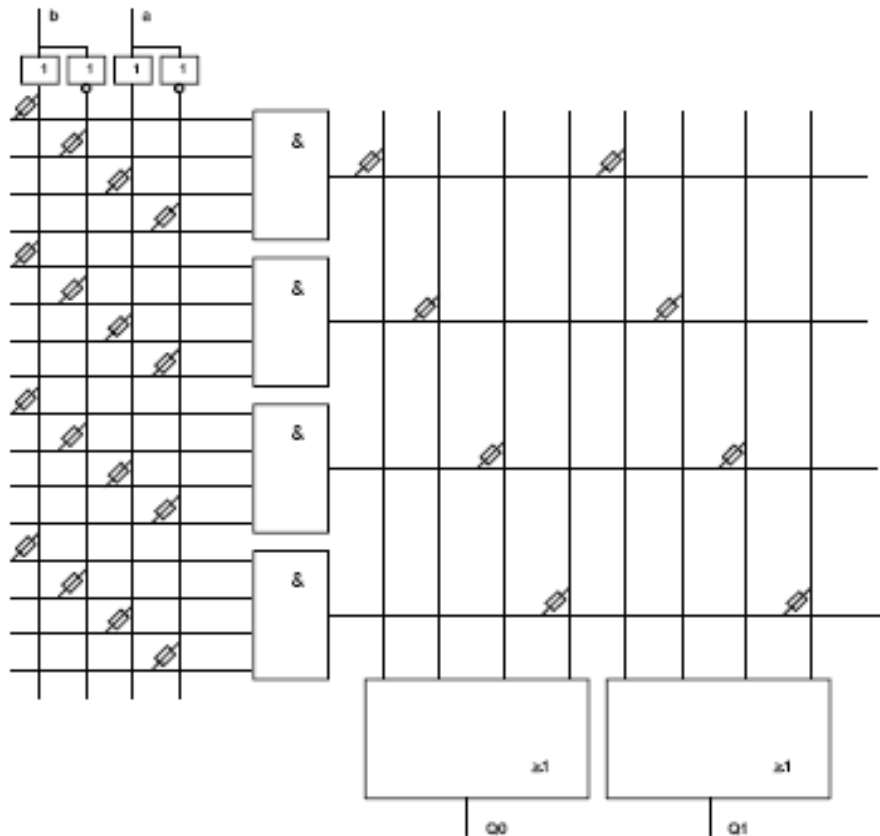
- Un ensemble d'opérateurs « ET » sur lesquels viennent se connecter les variables d'entrée et leurs compléments.
- Un ensemble d'opérateurs « OU » sur lesquels les sorties des opérateurs « ET » sont connectées.
- Une éventuelle structure de sortie (Portes inverseuses, logique 3 états, registres...).

Les deux premiers ensembles forment chacun ce qu'on appelle une matrice. Les interconnexions de ces matrices doivent être programmables. C'est la raison pour laquelle elles sont assurées par des fusibles qui sont « grillés » lors de la programmation. Lorsqu'un PLD est vierge toutes les connexions sont assurées.

Le produit vedette est le PAL 22V10CE.



Représentation de l'architecture interne d'un PLD:



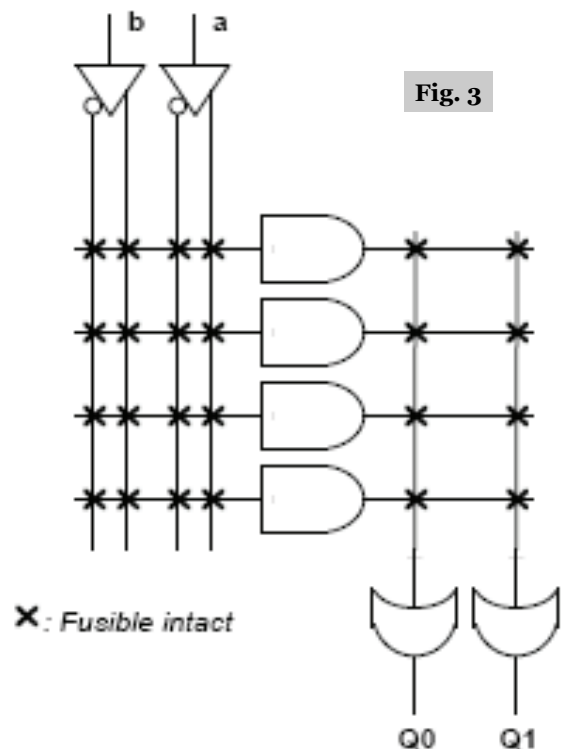
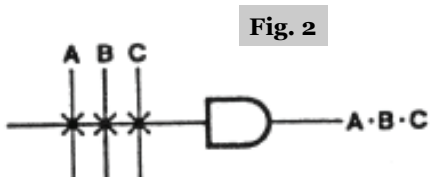
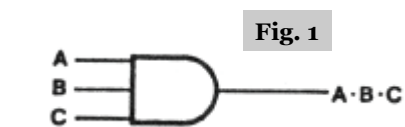
Symbolisation simplifiée des connexions :

La représentation schématique de la structure ci-dessus demande beaucoup d'espace pour représenter un P.A.L. en entier. Les industriels ont adopté une autre représentation plus synthétique. Voir ci-dessous.

Fig. 1: Porte ET à 3 entrées.

Fig. 2: Porte ET à 3 entrées **représentation P.A.L.** Note :les croix représentent les fusibles intacts.

Fig. 3: Représentation de la structure interne d'un P.A.L..



Organisation des PALS :

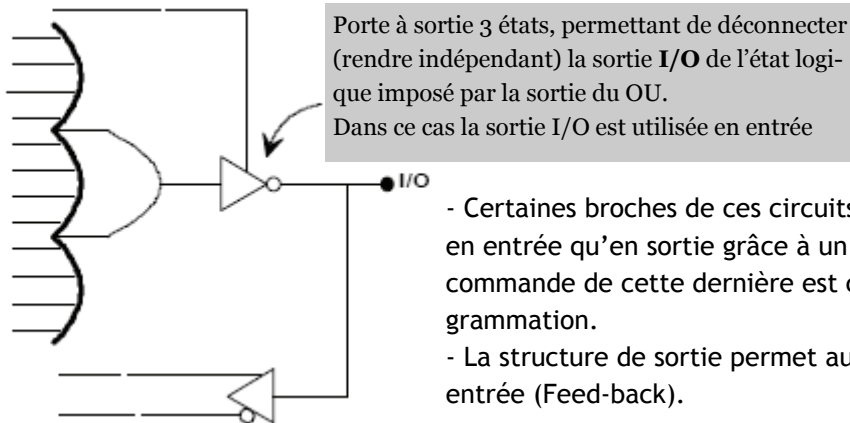
Tout *P.A.L.* est constitué :

- D'entrées (Input): I_1 à I_n avec $8 < n < 20$.
- De sorties (Output) Ou d'entrées/sorties (I/O) de type Totem Pôles ou 3 Etats : O_1 à O_n ou IO_1 à IO_n ($2 < n < 15$).

On peut trouver aussi:

- Une entrée d'horloge (Clock): Clk ou Clock.
- Une entrée de validation des sorties trois états: OE (Output Enable) ou Enable.
- Une entrée de remise à zéro des registres: RESET.

Sortie 3 états :



- Certaines broches de ces circuits peuvent être utilisées aussi bien en entrée qu'en sortie grâce à un système de logique 3 états. La commande de cette dernière est configurée au moment de la programmation.
- La structure de sortie permet aussi de réinjecter les sorties en entrée (Feed-back).

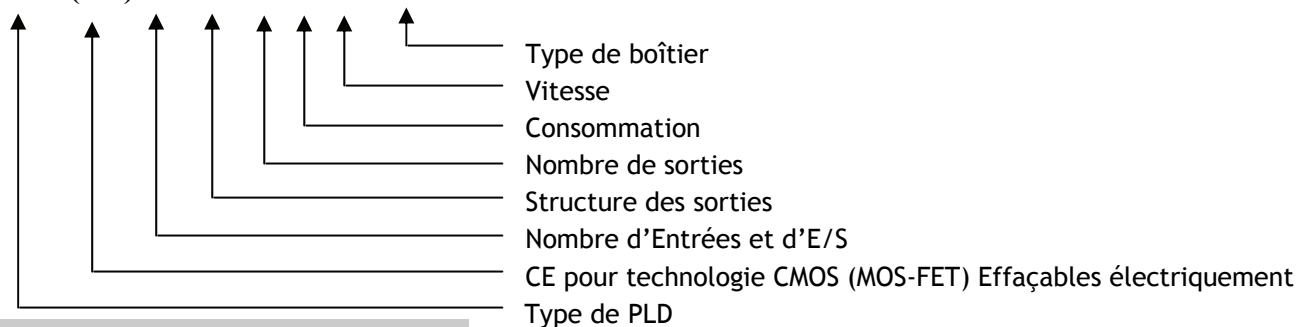
4 - Nomenclature des PALS

Selon le type de PAL la structure de sortie peut être constituée d'une porte « NON », d'une porte « OU » Exclusive, d'une bascule « D » ou d'une combinaison des trois.

Le nombre d'entrées et de sorties est lui aussi lié à la référence du PAL.

Les diverses possibilités de ces circuits et leur standardisation ont conduit les constructeurs à définir une nomenclature permettant de décoder assez facilement la référence des PALS.

PAL (CE) XX AB YY C ZZ DEF



Lettre(s) Code(s)	Structure de sortie
L	OU combinatoire - active bas
H	OU combinatoire - active haut
C	OU combinatoire - active L OU H par programmation
R	Registre synchrone (D) (et OE)
RA	Registre Asynchrone (et OE)
X	OU eXclusif et Registre (D)
V	Versatile (programmable)

Remarques :

- Le nombre d'entrées varie entre 10 et 22.
- Le nombre de sorties varie entre 1 et 10.
- La puissance est indiquée par une lettre code.
- La vitesse indique le temps de propagation en nS.
- Les versions versatiles ont une cellule de sortie programmable permettant d'obtenir n'importe quel autre type de structure de sortie (L, H, R ...).
- Les versions CMOS (CE) sont effaçables électriquement. Les fusibles sont remplacés par des transistors de type MOS FET. Ce ne sont ni plus ni moins que des « GALs ».

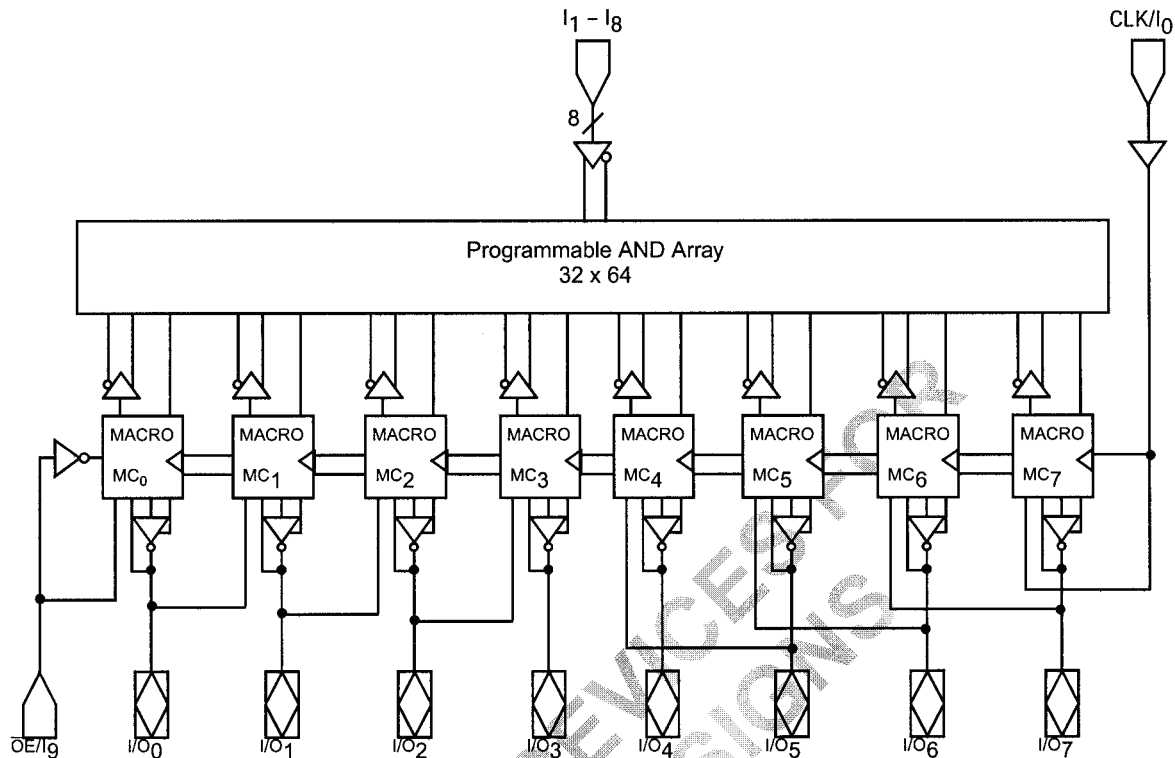
5 - Exemple de PALs/GALs couramment utilisés

5.1 PAL16V8

Ce composant comporte 20 broches :

- 2 broches d'alimentation,
- 8 broches configurables en sortie
- 16 broches d'entrées / sorties (donc 16-8 broches = 8 broches d'entrées)

BLOCK DIAGRAM



5.2 Avantage des Gals / aux Pals

L'inconvénient majeur des PALs est qu'ils ne sont programmables qu'une seule fois.

LATTICE a donc pensé, il y a un peu plus de 10 ans, à remplacer les fusibles irréversibles des PALs par des transistors MOS FET pouvant être régénérés.

Ceci a donc donné naissance aux GALs que l'on pourrait traduire par « Réseau logique Générique ».

Ces circuits peuvent donc être reprogrammés à volonté sans pour autant avoir une durée de vie restreinte.

On peut aussi noter que dans leur structure interne les GALs sont constitués de transistor CMOS alors que les PALs classiques sont constitués de transistors bipolaires.

La consommation des GALs est donc beaucoup plus faible.

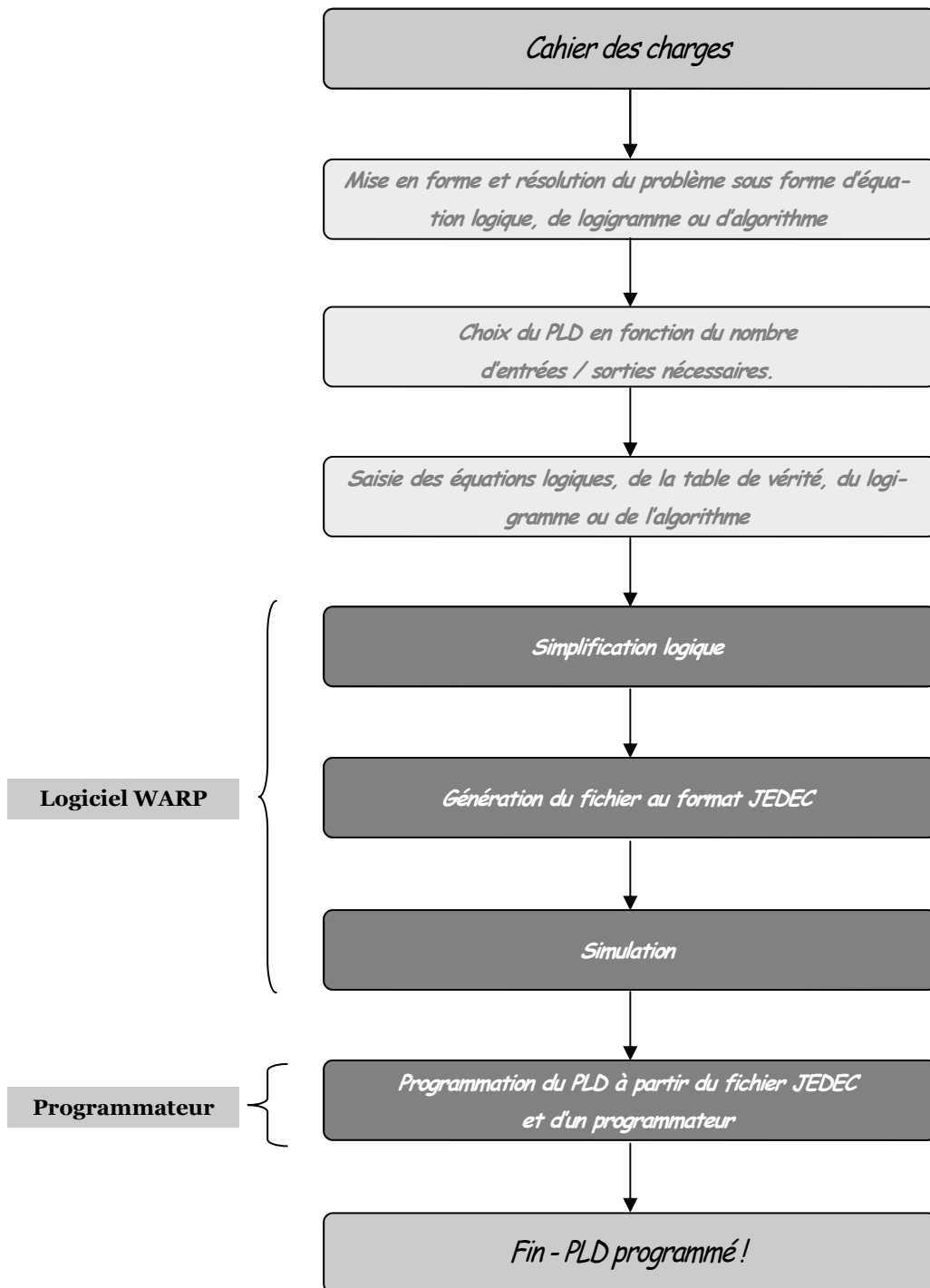
Depuis d'autres constructeurs fabriquent ce type de produit en les appelant « PAL CMOS » (PAL CE).

Par soucis de remplacer les PALs, LATTICE a équipé la plupart de ses GALs de macro-cellules programmables permettant d'émuler n'importe quel PAL. Ces structures de sortie sont donc du type « Versatile » (V).

6 Programmation des Pals

La programmation des PLDs nécessite un logiciel adapté pour le développement du programme et un programmeur permettant de « griller » le circuit.

En outre il est conseillé de suivre la démarche décrite par l'organigramme suivant :



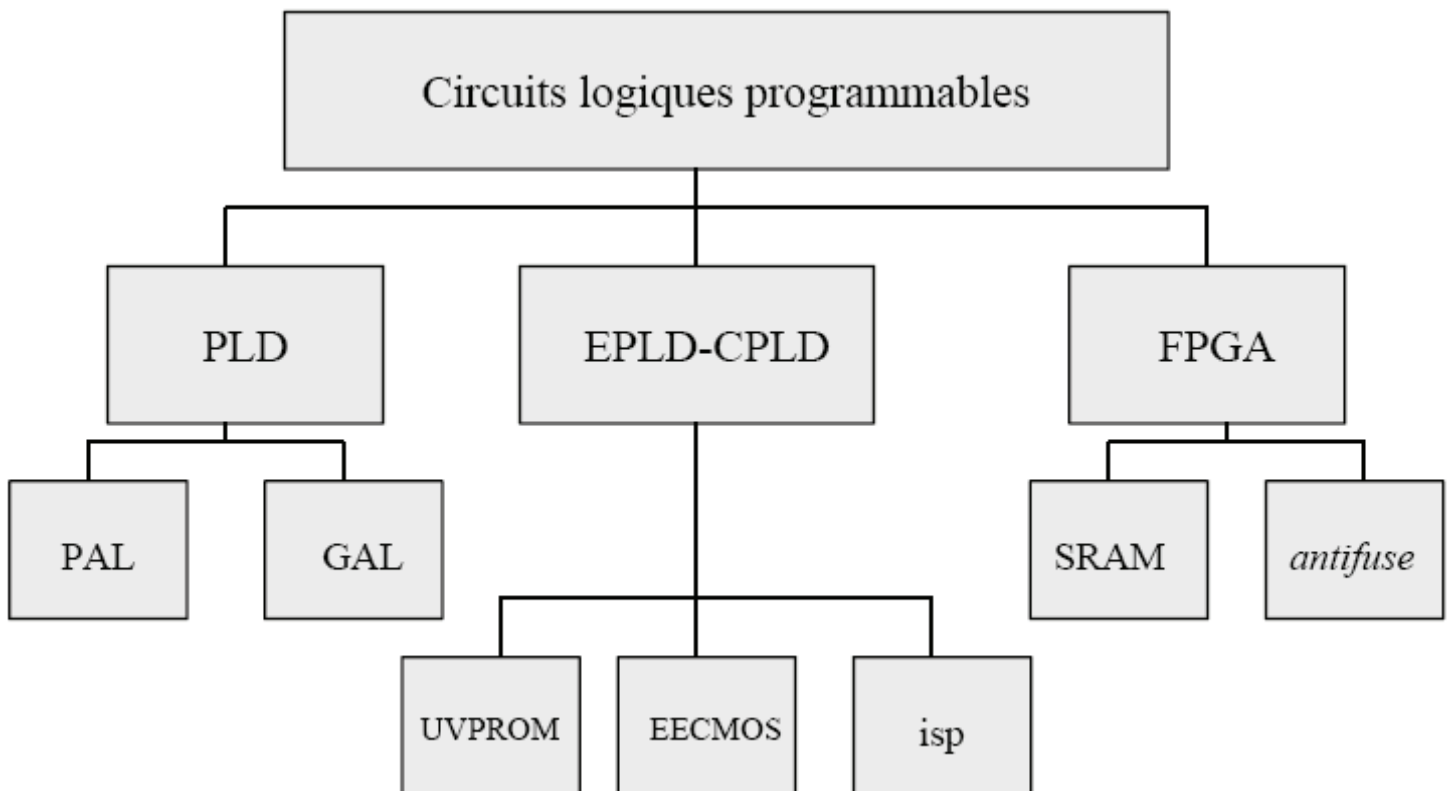
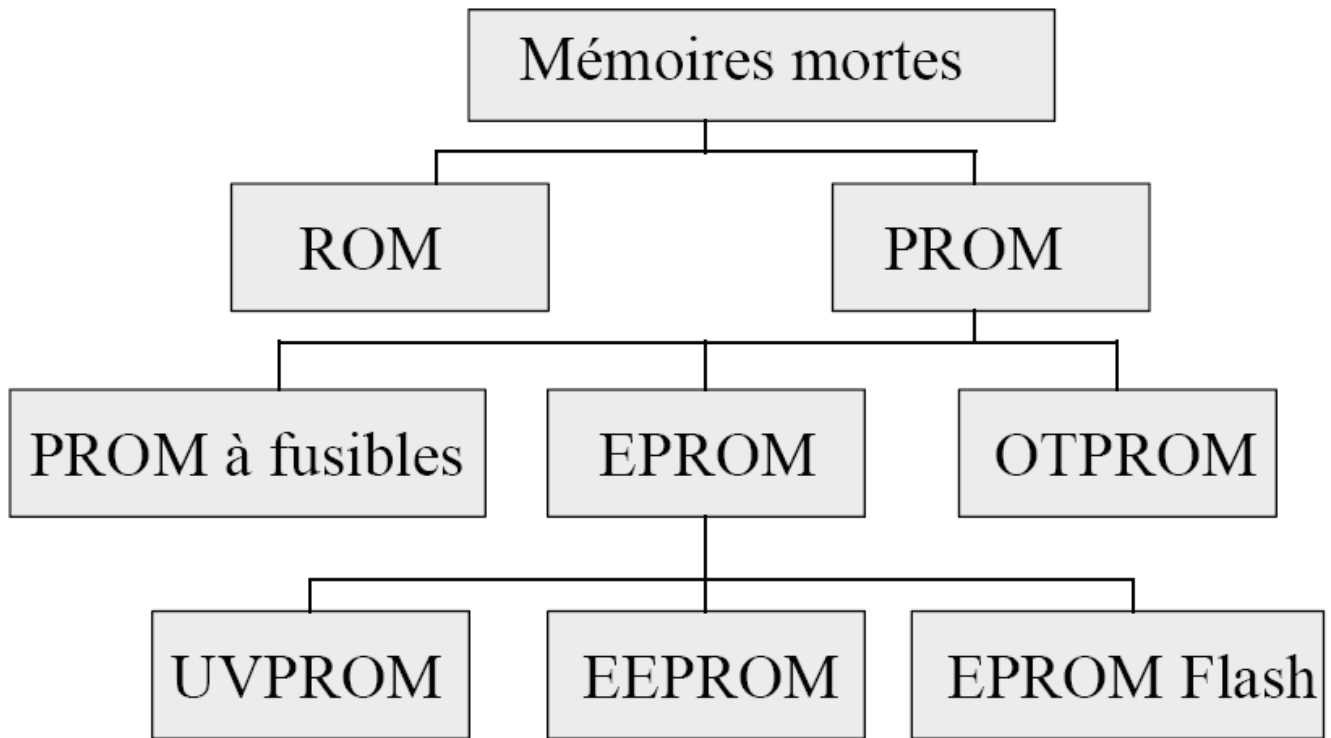
=> Le logiciel warp permet de simplifier les équations et de générer un fichier JEDEC à partir des données rentrées par l'opérateur. Il simule aussi le fonctionnement du PLD avec le programme obtenu.

Le logiciel « PALASM » développé par « AMD » permet d'effectuer ces opérations pour la programmation de PAL ou de GAL.

=> Le fichier JEDEC est un ensemble de données binaires indiquant au programmeur les fusibles à griller.

=> Le programmeur permet de griller les fusibles du PLD en fonctions des données du fichier JEDEC.

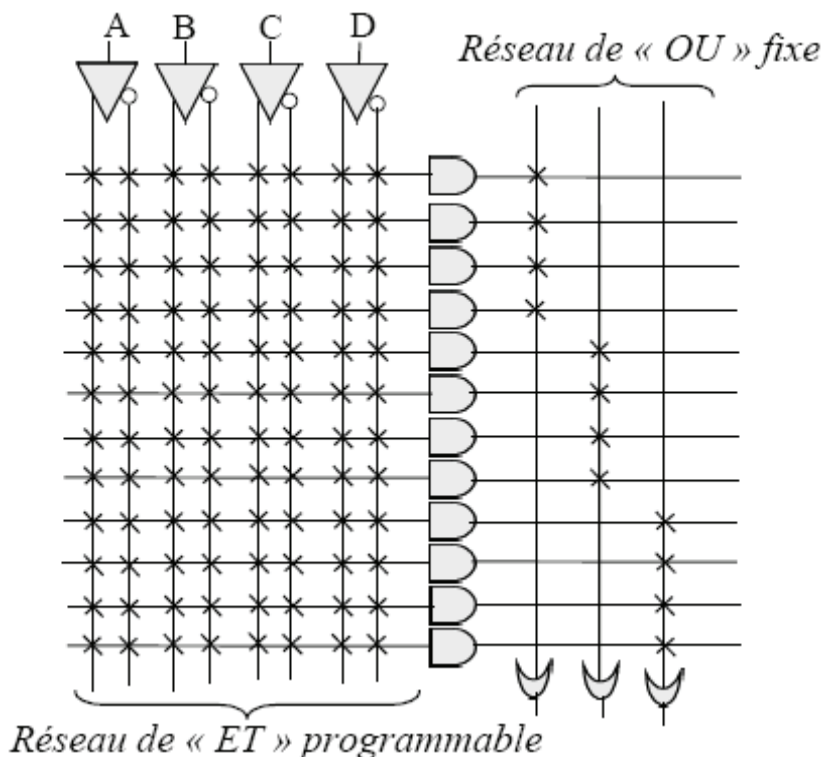
Il est en général associé à un logiciel de pilotage. Les programmeurs utilisés sont les mêmes que ceux permettant la programmation des EPROM.



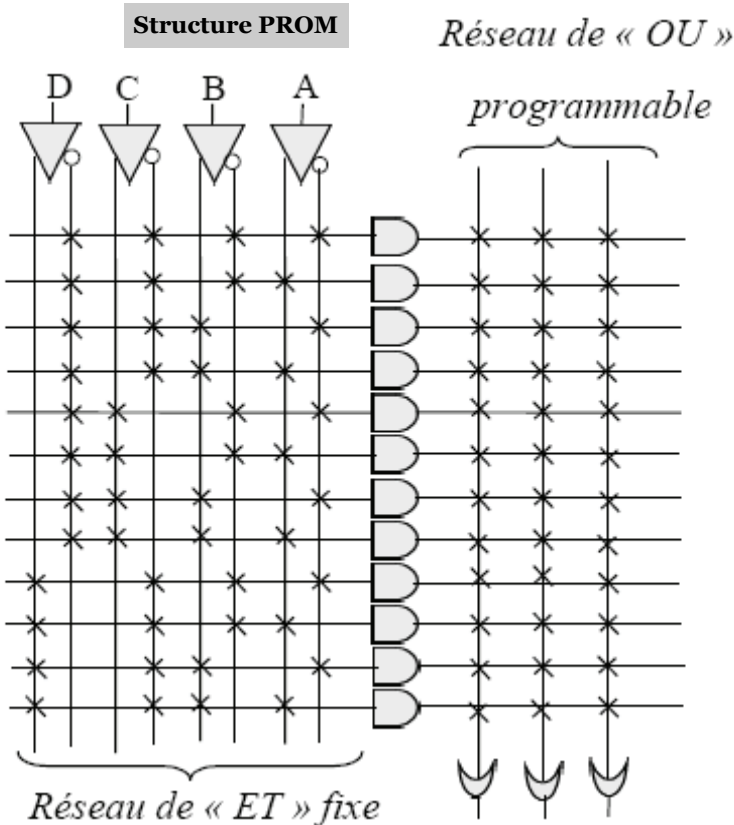
Annexe 2 : Liste des abréviations

- ASIC Application Specific Integrated Circuit - Circuit intégré conçu à la demande
- BLMC Buried Logic Macrocell - Macro cellule logique enterrée
- CC Chip Carrier - Boîtier "porteur de puce"
- CPLD Complex Programmable Logic Device - Réseau logique programmable complexe - plusieurs PLD sur une même pastille.
- DRAM Dynamic Random Access Memory - Mémoire dynamique à accès aléatoire
- DSP Digital Signal Processor - Processeur orienté vers le traitement du signal
- EDIF Electronic Design Interchange Format
- EEPLD Electrically Erasable Programmable Logic Device - PLD effaçable électriquement
- EEPROM Electrically Erasable PROM - Mémoire à lecture seule, électriquement effaçable
- EPLD Erasable Programmable Logic Device - Réseau logique programmable effaçable
- EPROM Erasable Programmable Read Only Memory - Mémoire à lecture seule effaçable
- FPGA Field Programmable Gate Array - Réseau de portes programmables - à haute densité d'intégration
- FPROM Field Programmable Read Only Memory
- GAL Generic Array Logic - PAL générique
- ISP In-System (In Situ) Programmable - Composant programmable sur carte
- JEDEC Joint Electronic Device Engineering Council - Organisme de normalisation
- JTAG Joint Test Action Group - Bus de test des composants
- LCA Logic Cell Array (Xilinx) - Réseau de cellules logiques
- LUT Look-Up Table
- MAX Multiple Array Matrix - Megapals d'Altera
- NOVRAM ou NVRAM Non Volatile Random Access Memory - RAM non volatile
- OTP One Time Programmable - Programmable une seule fois
- PAL Programmable Array Logic - Réseau logique programmable = PLD
- PGA Programmable Gate Array - Réseau de portes programmable
- PLA Programmable Logic Array - Réseau logique programmable - matrices ET, OU et NON programmables
- PLD Programmable Logic Device - Dispositif logique programmable - matrice ET programmable, OU fixe, cellules de sortie
- POF Programmer Object File - Fichier objet pour programmeur
- PROM Programmable Read Only Memory - Mémoire à lecture seule programmable
- RAM Random Access Memory - Mémoire à accès aléatoire
- ROM Read Only Memory - Mémoire à lecture seule
- SDF Standard Delay File
- SOG Sea-of-Gates - Mer de portes : réseau actif logique prédiffusé
- SRAM Static Random Access Memory - Mémoire statique à accès aléatoire
- TTL Transistor Transistor Logic - Logique transistor-transistor
- VHDL VHSIC Hardware Description Language - Langage de description matérielle VHSIC
- VHSIC Very High Speed Integrated Circuit - Circuit intégré à très grande vitesse
- XNF Xilinx Netlist Format - Format de fichier Xilinx

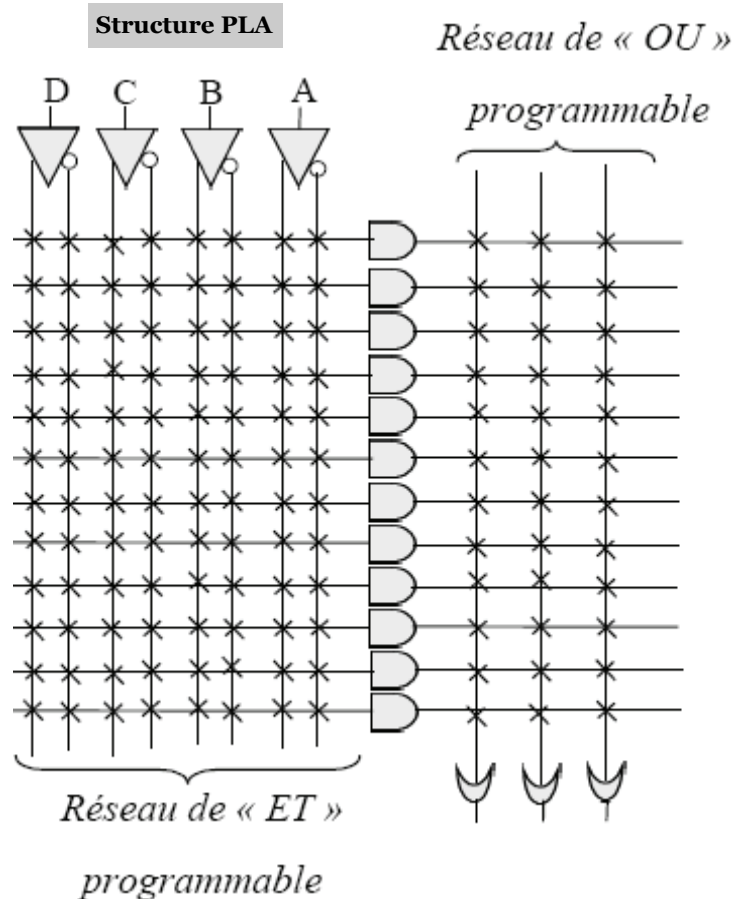
Annexe 3 : Les différentes structures



Structure PAL (OU PLD)

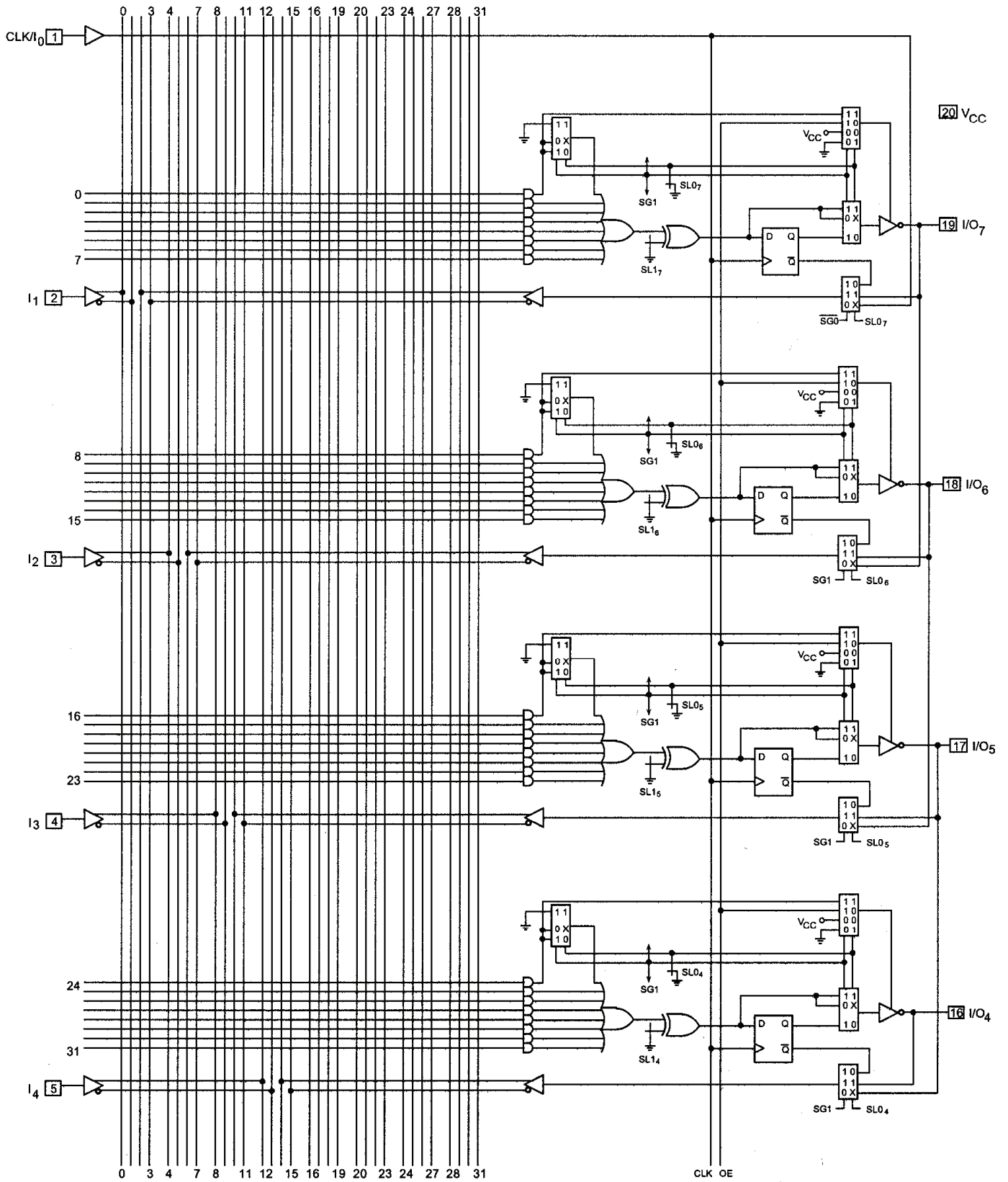


Structure PROM



Structure PLA

LOGIC DIAGRAM





LOGIC DIAGRAM (CONTINUED)

PAL 22V10

