

Le Microcontrôleur PIC 16F876A

Sommaire

Architecture d'un Microcontrôleur	2
Structure interne du PIC 16F876	4
Caractéristiques de la famille des PIC16F87xx	5
Brochage	6
Plan mémoire	6
Les registres internes	7
Le registre status	8
Le registre option_reg	8
Les ports d'entrées / sorties	9
Le registre TRIS	9
Le port A	10
Le port B	11
Le port C	12
L'horloge	13



PIC®, MICROCHIP® sont des marques déposées par Microchip®.

Le microcontrôleur PIC 16F879A

1. Architecture

Il existe deux types d'architecture de micro basé sur des modèles :

1.1 Modèle de type Von Neumann (CISC) :

L'architecture CISC (Complex Instruction Set Computer, soit « Ordinateur à jeu d'instruction complexe ») consiste à câbler dans le processeur des instructions complexes, difficiles à créer à partir des instructions de base.

L'architecture CISC est utilisée en particulier par les processeurs de type 80x86. Ce type d'architecture possède un coût élevé dû aux fonctions évoluées imprimées sur le silicium.

D'autre part, les instructions sont de longueurs variables et **peuvent parfois nécessiter plus d'un cycle d'horloge**. Or, un processeur basé sur l'architecture CISC ne peut traiter qu'une instruction à la fois, d'où un temps d'exécution conséquent.

Principe de fonctionnement :

La mémoire ROM contient les codes instructions et les constantes séparément.
Exemple **LDAA #10** ; Charger la constante 10 dans l'accumulateur A.

Cette instruction :

- Occupe deux adresses en mémoire ROM pour y loger les octets \$96 (LDAA) et 10
- Nécessite plusieurs cycles d'horloge :
 - > Adresse AD sur le bus d'adresse, code \$96 sur le bus de donnée (cycle 1)
 - > Adresse AD+1 sur le bus d'adresse, valeur 10 sur le bus de donnée (cycle 2)

1.2 Modèle de type Harward (RISC) :

Un processeur utilisant la technologie RISC (Reduced Instruction Set Chip, soit « Ordinateur à jeu d'instructions réduit ») n'a pas de fonctions évoluées câblées.

Les programmes doivent ainsi être traduits en instructions simples, ce qui entraîne un développement plus difficile et/ou un compilateur plus puissant. Une telle architecture possède un coût de fabrication réduit par rapport aux processeurs CISC. De plus, les instructions, simples par nature, sont exécutées en un seul cycle d'horloge, ce qui rend l'exécution des programmes plus rapide qu'avec des processeurs basés sur une architecture CISC. Enfin, de tels processeurs sont capables de traiter plusieurs instructions simultanément en les traitant en parallèle.

2. Principe de fonctionnement de l'architecture HAWARD (RISC)

Un seul cycle d'horloge par instruction :

1. L'opérande est intégrée à l'instruction.

Exemple **MOVLW 10** ; Charger la constante 10 dans le registre de travail W.

[to **MOVE** : déplacer, **L** (littéral) : constante, **W** : work (registre de travail)]

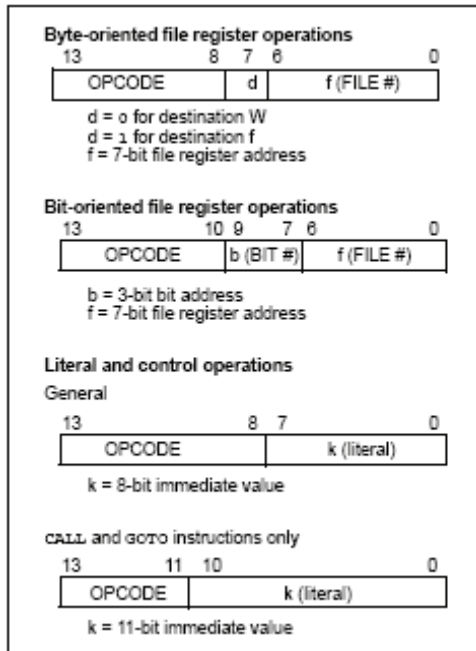
On trouvera en mémoire :

Cette instruction se traduira par le code suivant en mémoire 1100xx 00001010

↑ ↑
MOVLW 10

CISC	RISC
S/360 (IBM) VAX (DEC) 68xx, 680x0 (Motorola) x86, Pentium (Intel)	PIC Alpha (DEC) PowerPC (Motorola) MIPS PA-RISC (Hewlett-Packard) SPARC

Pour un PIC16 (architecture RISC), cette instruction est codée sur 14 bits (instruction + opérande)



Format général d'une instruction

Field	Description
t	Register file address (0x00 to 0x7F)
W	Working register (accumulator)
b	Bit address within an 8-bit file register
k	Literal field, constant data or label
x	Don't care location (= 0 or 1). The assembler will generate code with x = 0. It is the recommended form of use for compatibility with all Microchip software tools.
d	Destination select; d = 0: store result in W, d = 1: store result in file register f. Default is d = 1.
PC	Program Counter
TO	Time-out bit
PD	Power-down bit

Description des champs OPCODE

Mnemonic, Operands	Description	Cycles	14-Bit Opcode		Status Affected	Notes
			MSb	LSb		
BYTE-ORIENTED FILE REGISTER OPERATIONS						
ADDWF	f, d Add W and f	1	00	0111 dfff ffff	C,DC,Z	1,2
ANDWF	f, d AND W with f	1	00	0101 dfff ffff	Z	1,2
CLRF	f Clear f	1	00	0001 1fff ffff	Z	2
CLRWF	- Clear W	1	00	0001 0xxx xxxxx	Z	
COMF	f, d Complement f	1	00	1001 dfff ffff	Z	1,2
DECf	f, d Decrement f	1	00	0011 dfff ffff	Z	1,2
DECFSZ	f, d Decrement f, Skip if 0	1(2)	00	1011 dfff ffff		1,2,3
INCF	f, d Increment f	1	00	1010 dfff ffff	Z	1,2
INCFSZ	f, d Increment f, Skip if 0	1(2)	00	1111 dfff ffff		1,2,3
IORWF	f, d Inclusive OR W with f	1	00	0100 dfff ffff	Z	1,2
MOVF	f, d Move f	1	00	1000 dfff ffff	Z	1,2
MOVWF	f Move W to f	1	00	0000 1fff ffff		
NOP	- No Operation	1	00	0000 0xxx 0000		
RLF	f, d Rotate Left f through Carry	1	00	1101 dfff ffff	C	1,2
RRF	f, d Rotate Right f through Carry	1	00	1100 dfff ffff	C	1,2
SUBWF	f, d Subtract W from f	1	00	0010 dfff ffff	C,DC,Z	1,2
SWAPF	f, d Swap nibbles in f	1	00	1110 dfff ffff		1,2
XORWF	f, d Exclusive OR W with f	1	00	0110 dfff ffff	Z	1,2
BIT-ORIENTED FILE REGISTER OPERATIONS						
BCF	f, b Bit Clear f	1	01	00bb bfff ffff		1,2
BSF	f, b Bit Set f	1	01	01bb bfff ffff		1,2
BTFSC	f, b Bit Test f, Skip if Clear	1(2)	01	10bb bfff ffff		3
BTFSS	f, b Bit Test f, Skip if Set	1(2)	01	11bb bfff ffff		3
LITERAL AND CONTROL OPERATIONS						
ADDLW	k Add Literal and W	1	11	111x kkkk kkkk	C,DC,Z	
ANDLW	k AND Literal with W	1	11	1001 kkkk kkkk	Z	
CALL	k Call Subroutine	2	10	0kkk kkkk kkkk		
CLRWDT	- Clear Watchdog Timer	1	00	0000 0110 0100	TO,PD	
GOTO	k Go to Address	2	10	1kkk kkkk kkkk		
IORLW	k Inclusive OR Literal with W	1	11	1000 kkkk kkkk	Z	
MOVLW	k Move Literal to W	1	11	00xx kkkk kkkk		
RETFIE	- Return from Interrupt	2	00	0000 0000 1001		
RETLW	k Return with Literal in W	2	11	01xx kkkk kkkk		
RETURN	- Return from Subroutine	2	00	0000 0000 1000		
SLEEP	- Go into Standby mode	1	00	0000 0110 0011	TO,PD	
SUBLW	k Subtract W from Literal	1	11	110x kkkk kkkk	C,DC,Z	
XORLW	k Exclusive OR Literal with W	1	11	1010 kkkk kkkk	Z	

- Note 1:** When an I/O register is modified as a function of itself (e.g., MOVF PORTB, 1), the value used will be that value present on the pins themselves. For example, if the data latch is '1' for a pin configured as input and is driven low by an external device, the data will be written back with a '0'.
- Note 2:** If this instruction is executed on the TMR0 register (and where applicable, d = 1), the prescaler will be cleared if assigned to the Timer0 module.
- Note 3:** If Program Counter (PC) is modified, or a conditional test is true, the instruction requires two cycles. The second cycle is executed as a NOP.

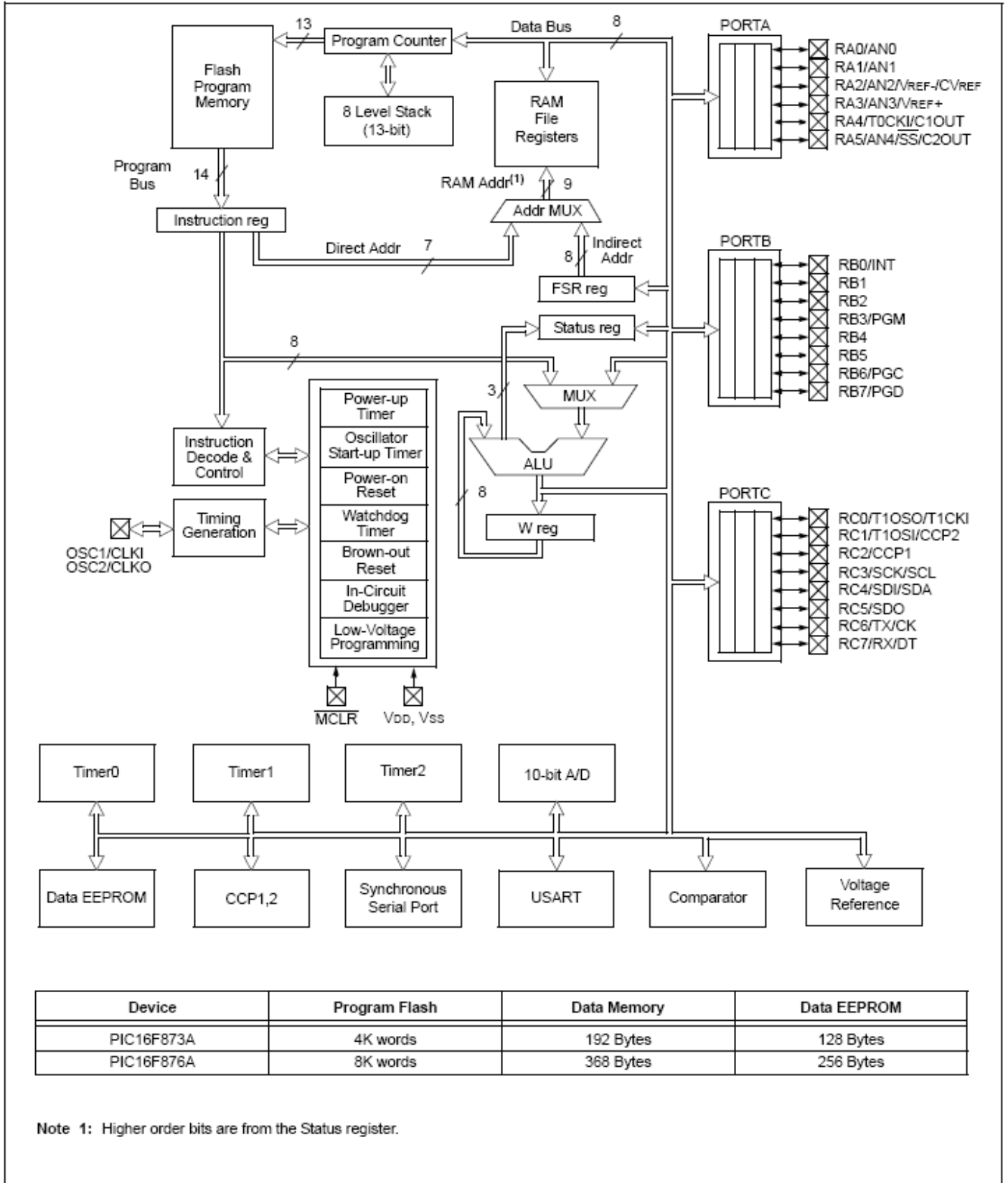
Récapitulatif des instructions du PIC16

2. Les mémoires programme et données et les bus correspondants sont séparés

Ceci permet au même instant :

- > d'exécuter l'instruction correspondant à l'adresse courante,
- > d'extraire l'instruction suivante.

Matériel : ROM programme => Registre tampon => Décodeur d'instruction (ces trois composants constitue un pipeline)
voir figure ci-dessous



Note 1: Higher order bits are from the Status register.

Séquencement : En interne l'horloge est quadriphasée, ce qui signifie que le temps d'exécution d'une instruction est égale à $F_{osc}/4$. (Soit Tcycle)

Si vous utilisez un quartz à 20Mhz, la période sera donc de 50ns et le temps d'exécution (Tcycle) pour une instruction sera de $T_{cycl} = 4 \times 50ns = 200ns$.

Exceptions : Les sauts et branchements : deux cycles d'horloges sont nécessaires (2 x Tcycle)

3. Description générale de la famille PIC 16F87X

PIC16F876



La dénomination PIC est sous copyright de MicroChip, les autres fabricants sont dans l'impossibilité d'utiliser ce terme.

Les deux premiers chiffres indiquent la catégorie du PIC : ici **16** indique un PIC de la famille MidRange (milieu de gamme) qui utilise des mots de 14 bits [Processeur 8 bits].

Ensuite vous pouvez trouver la lettre « **L** » qui indique que le PIC peut fonctionner avec une plage de tension beaucoup plus tolérante.

Ensuite vous trouverez les lettres suivantes :

« **C** » : la mémoire programme est une EPROM ou plus rarement une EEPROM,

« **CR** » : la mémoire programme est de type ROM,

« **F** » : la mémoire programme est de type FLASH.

876 : représente la sous famille **87x**

3.1 Caractéristiques générales

Device	Program Memory		Data SRAM (Bytes)	EEPROM (Bytes)	I/O	10-bit A/D (ch)	CCP (PWM)	MSSP		USART	Timers 8/16-bit	Comparators
	Bytes	# Single Word Instructions						SPI	Master I ² C			
PIC16F873A	7.2K	4096	192	128	22	5	2	Yes	Yes	Yes	2/1	2
PIC16F874A	7.2K	4096	192	128	33	8	2	Yes	Yes	Yes	2/1	2
PIC16F876A	14.3K	8192	368	256	22	5	2	Yes	Yes	Yes	2/1	2
PIC16F877A	14.3K	8192	368	256	33	8	2	Yes	Yes	Yes	2/1	2

PIC16F87XA DEVICE FEATURES

Key Features	PIC16F873A	PIC16F874A	PIC16F876A	PIC16F877A
Operating Frequency	DC – 20 MHz	DC – 20 MHz	DC – 20 MHz	DC – 20 MHz
Resets (and Delays)	POR, BOR (PWRT, OST)	POR, BOR (PWRT, OST)	POR, BOR (PWRT, OST)	POR, BOR (PWRT, OST)
Flash Program Memory (14-bit words)	4K	4K	8K	8K
Data Memory (bytes)	192	192	368	368
EEPROM Data Memory (bytes)	128	128	256	256
Interrupts	14	15	14	15
I/O Ports	Ports A, B, C	Ports A, B, C, D, E	Ports A, B, C	Ports A, B, C, D, E
Timers	3	3	3	3
Capture/Compare/PWM modules	2	2	2	2
Serial Communications	MSSP, USART	MSSP, USART	MSSP, USART	MSSP, USART
Parallel Communications	—	PSP	—	PSP
10-bit Analog-to-Digital Module	5 input channels	8 input channels	5 input channels	8 input channels
Analog Comparators	2	2	2	2
Instruction Set	35 Instructions	35 Instructions	35 Instructions	35 Instructions
Packages	28-pin PDIP 28-pin SOIC 28-pin SSOP 28-pin QFN	40-pin PDIP 44-pin PLCC 44-pin TQFP 44-pin QFN	28-pin PDIP 28-pin SOIC 28-pin SSOP 28-pin QFN	40-pin PDIP 44-pin PLCC 44-pin TQFP 44-pin QFN

Résumé des caractéristiques (par rapport au tableau précédent) :

Architecture Harvard.

Horloge max de 20 Mhz - Durée du cycle instruction 200 ns.

PIC 16F => Rom programme Flash (reprogrammable in-situ par un bootloader en série).

Programmation et débogage in situ (In Circuit Serial Programming, In circuit Débuger) Perte des broches RB6 et RB7.

Chaque instruction codée sur un mot de 14 bits.

Mémoire EEPROM à accès aléatoire (pour stocker durablement des variables).

TIMERS : Microchip appelle des timers, des compteurs.

Capture : Permet la mesure de temps (durée).

Compare : Permet la production de signaux rectangulaires.

SPI : Communication en série synchrones (avec horloge) sans protocole logiciel.

I2C : Standard Philips, communication série synchrone avec protocole logiciel.

USART: Communication en série asynchrones (sans horloge) au format [RS232 et RS485].

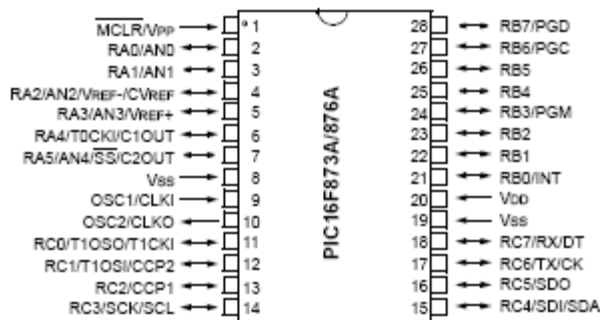
CAN : Convertisseur Analogique Numérique à 5 entrées multiplexés.

3.2 Brochage

Alimentation :

Technologie CMOS , compatible TTL : VDD (Br20) : L'alimentation doit être comprise entre 4.2V et 5.5V (Elle peut descendre jusqu'à 2 Volts avec un 16LF à 4 MHz)

28-Pin PDIP, SOIC, SSOP



3.3 Plan mémoire

Organisation de la mémoire

Il existe trois blocs de mémoire dans un PIC :

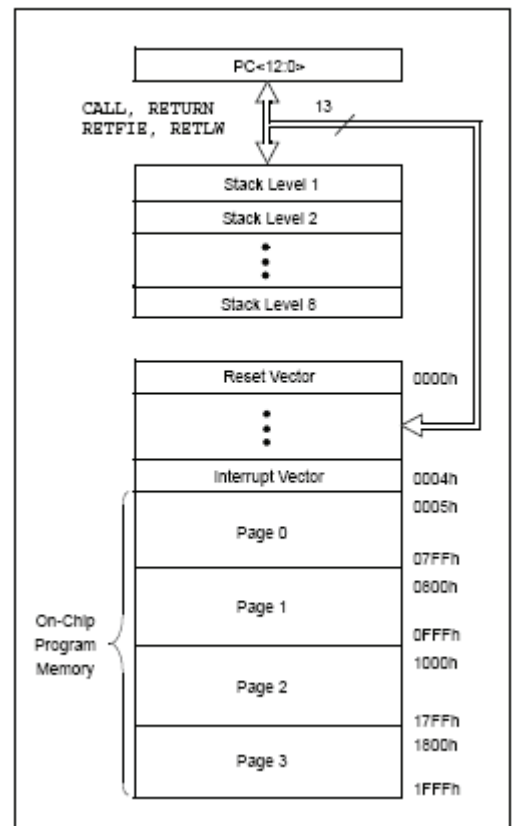
- > la mémoire programme
- > la mémoire de données
- > et la mémoire EEPROM.

Plan mémoire (programme)

Elle est constituée de 4 pages de 2 KO, soit 8 K mots de 14 bits.

Deux adresses sont réservées aux vecteurs RESET (adresse \$0000) et INTERRUPTION (adresse \$0004).

PIC16F876A/877A
PROGRAM MEMORY MAP AND STACK



Organisation de la mémoire programme

Plan mémoire des registres internes (SFR : Special Function Register) et des données

Elle est constituée de 4 pages de 128 Octets chacune, soit 512 octets.

On y trouve les registres internes de fonction (SFR) et des registres libres derrière (Général purpose register).

Ces registres libres ne sont ni plus ni moins que des cases mémoires pour stocker les données.

L'accès aux différentes banques se fait par le positionnement des bits RPO (bit5) et RP1(Bit6) du registre STATUS

RP1:RP0	Bank
00	0
01	1
10	2
11	3

PIC16F876A/877A REGISTER FILE MAP

File Address		File Address		File Address		File Address	
Indirect addr. ^(*)	00h	Indirect addr. ^(*)	80h	Indirect addr. ^(*)	100h	Indirect addr. ^(*)	180h
TMR0	01h	OPTION_REG	81h	TMR0	101h	OPTION_REG	181h
PCL	02h	PCL	82h	PCL	102h	PCL	182h
STATUS	03h	STATUS	83h	STATUS	103h	STATUS	183h
FSR	04h	FSR	84h	FSR	104h	FSR	184h
PORTA	05h	TRISA	85h		105h		185h
PORTB	06h	TRISB	86h	PORTB	106h	TRISB	186h
PORTC	07h	TRISC	87h		107h		187h
PORTD ⁽¹⁾	08h	TRISD ⁽¹⁾	88h		108h		188h
PORTE ⁽¹⁾	09h	TRISE ⁽¹⁾	89h		109h		189h
PCLATH	0Ah	PCLATH	8Ah	PCLATH	10Ah	PCLATH	18Ah
INTCON	0Bh	INTCON	8Bh	INTCON	10Bh	INTCON	18Bh
PIR1	0Ch	PIE1	8Ch	EEDATA	10Ch	EECON1	18Ch
PIR2	0Dh	PIE2	8Dh	EEADR	10Dh	EECON2	18Dh
TMR1L	0Eh	PCON	8Eh	EEDATH	10Eh	Reserved ⁽²⁾	18Eh
TMR1H	0Fh		8Fh	EEADRH	10Fh	Reserved ⁽²⁾	18Fh
T1CON	10h		90h		110h		190h
TMR2	11h	SSPCON2	91h		111h		191h
T2CON	12h	PR2	92h		112h		192h
SSPBUF	13h	SSPADD	93h		113h		193h
SSPCON	14h	SSPSTAT	94h		114h		194h
CCPR1L	15h		95h		115h		195h
CCPR1H	16h		96h		116h		196h
CCP1CON	17h		97h	General Purpose Register	117h	General Purpose Register	197h
RCSTA	18h	TXSTA	98h	16 Bytes	118h	16 Bytes	198h
TXREG	19h	SPBRG	99h		119h		199h
RCREG	1Ah		9Ah		11Ah		19Ah
CCPR2L	1Bh		9Bh		11Bh		19Bh
CCPR2H	1Ch	CMCON	9Ch		11Ch		19Ch
CCP2CON	1Dh	CVRCON	9Dh		11Dh		19Dh
ADRESH	1Eh	ADRESL	9Eh		11Eh		19Eh
ADCON0	1Fh	ADCON1	9Fh		11Fh		19Fh
	20h		A0h		120h		1A0h
General Purpose Register		General Purpose Register		General Purpose Register		General Purpose Register	
96 Bytes		80 Bytes		80 Bytes		80 Bytes	
			EFh		18Fh		1EFh
		accesses	F0h	accesses	170h	accesses	1F0h
		70h-7Fh		70h-7Fh		70h-7Fh	
	7Fh		FFh		17Fh		1FFh
Bank 0		Bank 1		Bank 2		Bank 3	

Unimplemented data memory locations, read as '0'.
^{*} Not a physical register.

Note 1: These registers are not implemented on the PIC16F876A.
Note 2: These registers are reserved; maintain these registers clear.

3.4 Quelques registres particuliers :

Le registre de STATUS

le registre de status (ou registre d'état) donne des informations sur l'état du système (après un RESET, APRES CALCUL, Une opération) et permet également de gérer les banques mémoires comme nous venons de le voir.

STATUS REGISTER (ADDRESS 03h, 83h, 103h, 183h)

R/W-0	R/W-0	R/W-0	R-1	R-1	R/W-x	R/W-x	R/W-x	
IRP	RP1	RP0	\overline{TO}	\overline{PD}	Z	DC	C	
bit 7								bit 0

bit 7	IRP: Register Bank Select bit (used for indirect addressing) 1 = Bank 2, 3 (100h-1FFh) 0 = Bank 0, 1 (00h-FFh)
bit 6-5	RP1:RP0: Register Bank Select bits (used for direct addressing) 11 = Bank 3 (180h-1FFh) 10 = Bank 2 (100h-17Fh) 01 = Bank 1 (80h-FFh) 00 = Bank 0 (00h-7Fh) Each bank is 128 bytes.
bit 4	TO: Time-out bit 1 = After power-up, CLRWDT instruction or SLEEP instruction 0 = A WDT time-out occurred
bit 3	PD: Power-down bit 1 = After power-up or by the CLRWDT instruction 0 = By execution of the SLEEP instruction
bit 2	Z: Zero bit 1 = The result of an arithmetic or logic operation is zero 0 = The result of an arithmetic or logic operation is not zero
bit 1	DC: Digit carry/borrow bit (ADDWF, ADDLW, SUBLW, SUBWF instructions) (for borrow, the polarity is reversed) 1 = A carry-out from the 4th low order bit of the result occurred 0 = No carry-out from the 4th low order bit of the result
bit 0	C: Carry/borrow bit (ADDWF, ADDLW, SUBLW, SUBWF instructions) 1 = A carry-out from the Most Significant bit of the result occurred 0 = No carry-out from the Most Significant bit of the result occurred Note: For borrow, the polarity is reversed. A subtraction is executed by adding the two's complement of the second operand. For rotate (RRF, RLF) instructions, this bit is loaded with either the high, or low order bit of the source register.

Legend:			
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'	
- n = Value at POR	'1' = Bit is set	'0' = Bit is cleared	x = Bit is unknown

Le registre d'options (Option_Reg register)

Ce registre sert à positionner un certain nombre d'éléments à l'initialisation du PIC. C'est très important car si le PIC est mal initialisé, il ne fonctionnera pas comme vous le souhaitez.

Par exemple le Bit 7 : active ou désactive les résistances internes de tirage vers le haut (pullup) sur le port B

3.5. La fonction RESET

Le reset peut être provoqué par :

- la mise sous tension (POR : Power On Reset),
- un niveau bas sur la broche MCLR (Master Clear),
- le chien de garde en cas de plantage du programme (WDT : Watch Dog Timer),
- en cas de baisse de la tension d'alimentation (BOR : BrownOut Reset).

3.6. Les interruptions

Il existe 14 sources d'interruptions possibles (non détaillé ici, reportez vous à la doc officielle).

4. Les ports d'Entrées/Sorties.

Le PIC16F876 est équipé de 22 lignes d'entrées/sorties réparties en trois ports parallèles bidirectionnels :

- > 6 lignes sur le port A : RA0 à RA5,
- > 8 lignes sur le port B : RB0 à RB7,
- > 8 lignes sur le port C : RC0 à RC7.

Chaque ligne peut fournir ou absorber au maximum un courant de 25 mA.

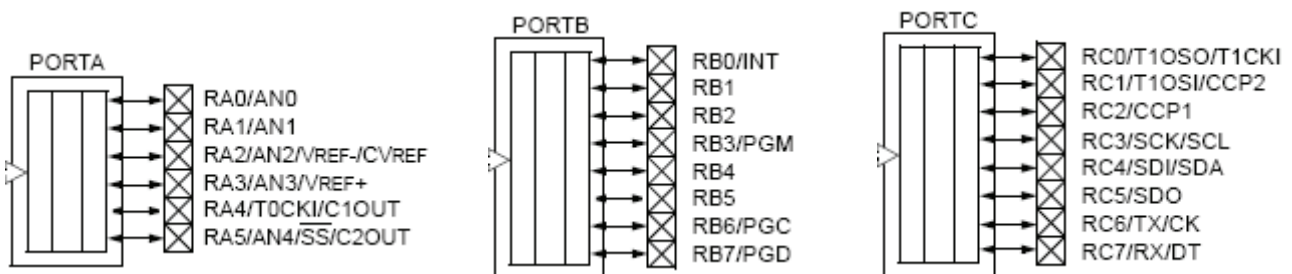
L'ensemble des ports peuvent fournir ou absorber au maximum un courant de 200 mA.

La plupart de ces lignes ont une double fonction suivant leur programmation.

-> Le port A (6 Bits) : I/O pur et/ou Entree du CAN et/ou Entree du TIMER 0
(la broche RA4 du port A (entree du timer 0 T0CKI) est de type Drain ouvert)

-> Le port B (8 Bits) : I/O pur et/ou programmation InSitu (ICSP/ICD) [Broches RB3/PGM, RB6/PGC ainsi que RB7/PGD] et/ou entée d'interruption externe RB0/INT.

-> Le port C (8 Bits) : I/O pur et/ou TIMER 1 et/ou SPI/I2C et/ou USART.



4.1 CONFIGURATION DES PORTS

Les registres TRIS

Le sens de direction des données (entrée ou sortie) est mémorisé dans des registres TRIS (TRansfert Input-Set).

TRISA est dédié au port A, TRISB au port B et TRISC au port C.

Chaque ligne peut être configurés individuellement en entrée ou en sortie.

La mise à « 1 » d'un bit du registre TRIS configure la ligne correspondante en entrée [1 comme Input], un « 0 » configure la ligne en sortie [0 comme Output] .

Au RESET, toutes les lignes sont configurées en entrées.

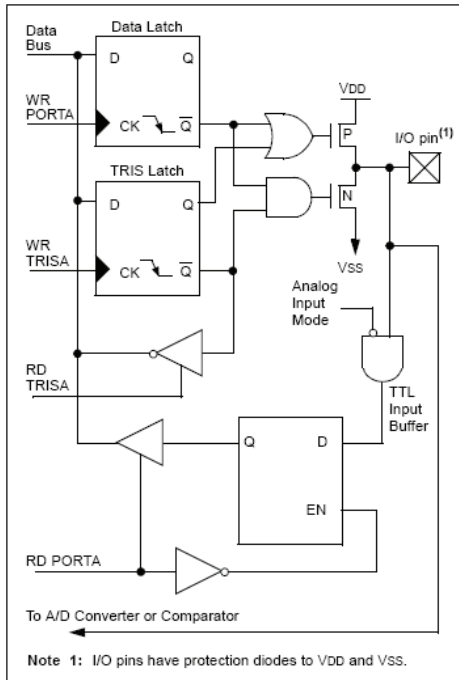
4.2 Le PORT A

-> Le port A (5 Bits) : I/O pur et/ou Entree du CAN et/ou Entree du TIMER 0

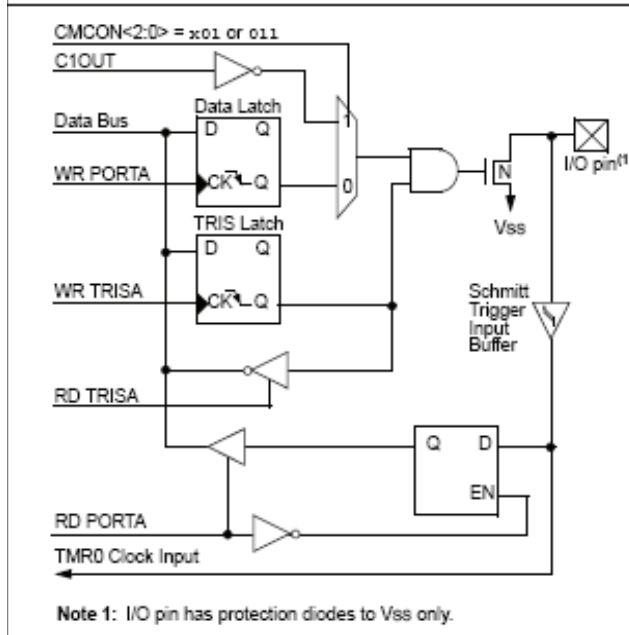
(la broche RA4 du port A (entree du timer 0 T0CKI) est de type Drain ouvert)

Au reset, ces lignes sont en mode analogique. Si on souhaite utiliser les entrées en mode numériques, il faut absolument modifier le registre ADCON1 lors de l'initialisation (voir ci-dessous)

BLOCK DIAGRAM OF RA3:RA0 PINS



BLOCK DIAGRAM OF RA4/T0CKI PIN



PORTA FUNCTIONS

Name	Bit#	Buffer	Function
RA0/AN0	bit 0	TTL	Input/output or analog input.
RA1/AN1	bit 1	TTL	Input/output or analog input.
RA2/AN2/VREF-/CVREF	bit 2	TTL	Input/output or analog input or VREF- or CVREF.
RA3/AN3/VREF+	bit 3	TTL	Input/output or analog input or VREF+.
RA4/T0CKI/C1OUT	bit 4	ST	Input/output or external clock input for Timer0 or comparator output. Output is open-drain type.
RA5/AN4/SS-/C2OUT	bit 5	TTL	Input/output or analog input or slave select input for synchronous serial port or comparator output.

Legend: TTL = TTL input, ST = Schmitt Trigger input

SUMMARY OF REGISTERS ASSOCIATED WITH PORTA

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other Resets
05h	PORTA	—	—	RA5	RA4	RA3	RA2	RA1	RA0	--0x 0000	--0u 0000
85h	TRISA	—	—	PORTA Data Direction Register						--11 1111	--11 1111
9Ch	CMCON	C2OUT	C1OUT	C2INV	C1INV	CIS	CM2	CM1	CM0	0000 0111	0000 0111
9Dh	CVRCON	CVREN	CVROE	CVRR	—	CVR3	CVR2	CVR1	CVR0	000- 0000	000- 0000
9Fh	ADCON1	ADFM	ADCS2	—	—	PCFG3	PCFG2	PCFG1	PCFG0	00-- 0000	00-- 0000

Legend: x = unknown, u = unchanged, - = unimplemented locations read as '0'. Shaded cells are not used by PORTA.

Remarques :

Ecrit ou lit les états du port

Indique le sens d'échange (E/S)

Configuration des comparateurs

Configuration des comparateurs

A initialiser à 0x0F pour avoir des E/S logiques.

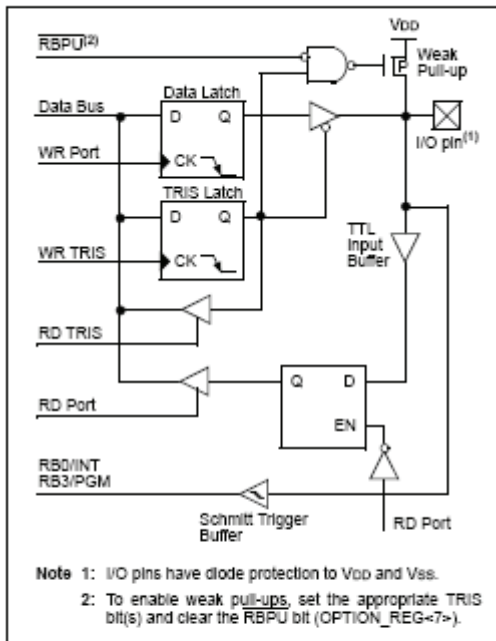
4.3 Le PORT B

-> Le port B (8 Bits) : I/O pur et/ou programmation InSitu (ICSP/ICD) [Broches RB3/PGM, RB6/PGC ainsi que RB7/PGD] et/ou entrée d'interruption externe RB0/INT.

Toutes les lignes du port B peuvent être reliées à une résistance de tirage vers le haut . Pour ce faire il faut mettre à zéro le bit \overline{RBPU} (Bit 7) du registre Option_Reg.

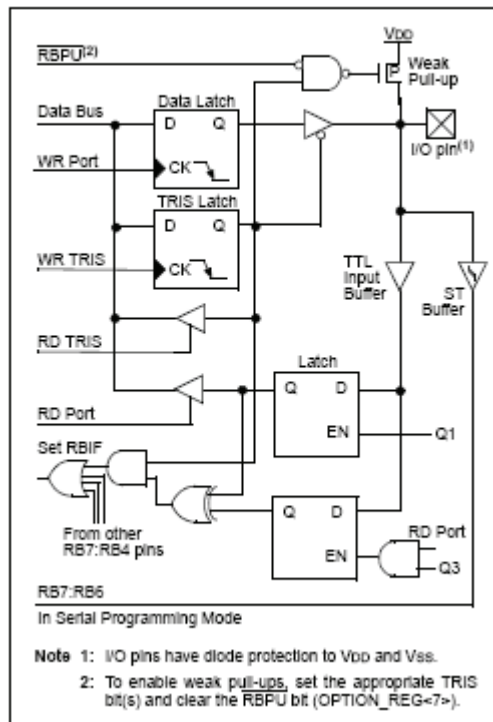
Les lignes RB4 à RB7 peuvent déclencher une interruption / Ainsi que RB0 (Entrée d'interruption externe)

BLOCK DIAGRAM OF RB3:RB0 PINS



Four of the PORTB pins, RB7:RB4, have an interrupt-on-change feature. Only pins configured as inputs can cause this interrupt to occur (i.e., any RB7:RB4 pin configured as an output is excluded from the interrupt-on-change comparison). The input pins (of RB7:RB4) are compared with the old value latched on the last read of PORTB. The "mismatch" outputs of RB7:RB4 are OR'ed together to generate the RB port change interrupt with flag bit RBIF (INTCON<0>).

BLOCK DIAGRAM OF RB7:RB4 PINS



PORTB FUNCTIONS

Name	Bit#	Buffer	Function
RB0/INT	bit 0	TTL/ST ⁽¹⁾	Input/output pin or external interrupt input. Internal software programmable weak pull-up.
RB1	bit 1	TTL	Input/output pin. Internal software programmable weak pull-up.
RB2	bit 2	TTL	Input/output pin. Internal software programmable weak pull-up.
RB3/PGM ⁽³⁾	bit 3	TTL	Input/output pin or programming pin in LVP mode. Internal software programmable weak pull-up.
RB4	bit 4	TTL	Input/output pin (with interrupt-on-change). Internal software programmable weak pull-up.
RB5	bit 5	TTL	Input/output pin (with interrupt-on-change). Internal software programmable weak pull-up.
RB6/PGC	bit 6	TTL/ST ⁽²⁾	Input/output pin (with interrupt-on-change) or in-circuit debugger pin. Internal software programmable weak pull-up. Serial programming clock.
RB7/PGD	bit 7	TTL/ST ⁽²⁾	Input/output pin (with interrupt-on-change) or in-circuit debugger pin. Internal software programmable weak pull-up. Serial programming data.

Legend: TTL = TTL input, ST = Schmitt Trigger input

- Note 1:** This buffer is a Schmitt Trigger input when configured as the external interrupt.
Note 2: This buffer is a Schmitt Trigger input when used in Serial Programming mode or in-circuit debugger.
Note 3: Low-Voltage ICSP Programming (LVP) is enabled by default which disables the RB3 I/O function. LVP must be disabled to enable RB3 as an I/O pin and allow maximum compatibility to the other 28-pin and 40-pin mid-range devices.

SUMMARY OF REGISTERS ASSOCIATED WITH PORTB

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other Resets
08h, 108h	PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	xxxx xxxx	uuuu uuuu
88h, 188h	TRISB	PORTB Data Direction Register								1111 1111	1111 1111
81h, 181h	OPTION_REG	RBPu	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111

Legend: x = unknown, u = unchanged. Shaded cells are not used by PORTB.

Remarques :

Écrit ou lit les états du port
Indique le sens d'échange (E/S)
Gestion des interruptions / Résistances de Pull UP / Gestion du Timer 0

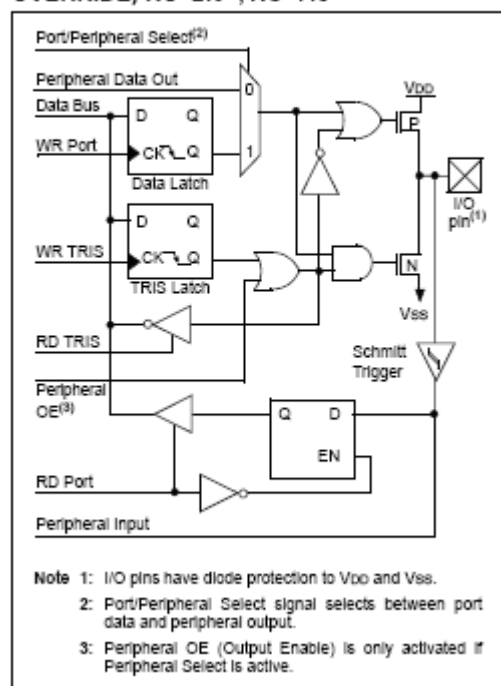
4.3 Le PORT C

-> Le port C (8 Bits) : I/O pur et/ou TIMER 1 et/ou SPI/I2C et/ou USART.

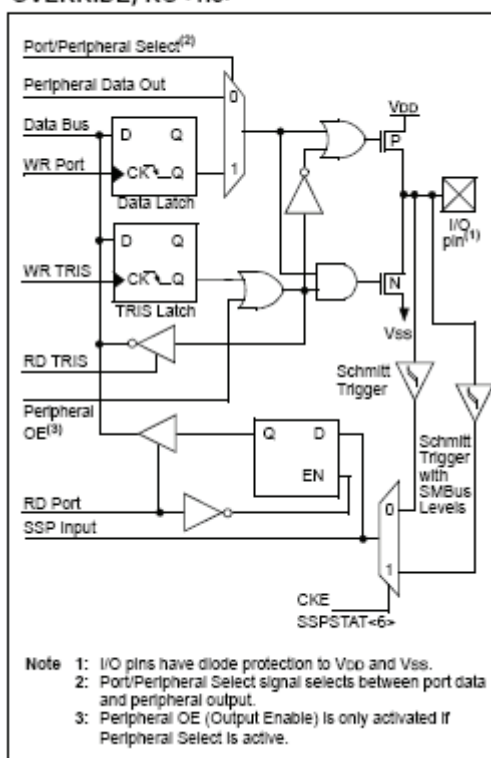
Toutes les entrées du port C sont des entrées trigger de schmitt.

Ce port peut aussi servir pour le Timer1, la réalisation de signaux PWM (Pulse Width Modulation : modulation à largeur d'impulsions), la communication avec des périphériques I2C et enfin à dialoguer par voie série.

PORTC BLOCK DIAGRAM
(PERIPHERAL OUTPUT
OVERRIDE) RC<2:0>, RC<7:5>



PORTC BLOCK DIAGRAM
(PERIPHERAL OUTPUT
OVERRIDE) RC<4:3>



PORTC FUNCTIONS

Name	Bit#	Buffer Type	Function
RC0/T1OSO/T1CKI	bit 0	ST	Input/output port pin or Timer1 oscillator output/Timer1 clock input.
RC1/T1OSI/CCP2	bit 1	ST	Input/output port pin or Timer1 oscillator input or Capture2 input/Compare2 output/PWM2 output.
RC2/CCP1	bit 2	ST	Input/output port pin or Capture1 input/Compare1 output/PWM1 output.
RC3/SCK/SCL	bit 3	ST	RC3 can also be the synchronous serial clock for both SPI and I ² C modes.
RC4/SDI/SDA	bit 4	ST	RC4 can also be the SPI data in (SPI mode) or data I/O (I ² C mode).
RC5/SDO	bit 5	ST	Input/output port pin or Synchronous Serial Port data output.
RC6/TX/CK	bit 6	ST	Input/output port pin or USART asynchronous transmit or synchronous clock.
RC7/RX/DT	bit 7	ST	Input/output port pin or USART asynchronous receive or synchronous data.

Legend: ST = Schmitt Trigger input

SUMMARY OF REGISTERS ASSOCIATED WITH PORTC

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other Resets
07h	PORTC	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0	xxxx xxxx	uuuu uuuu
87h	TRISC	PORTC Data Direction Register								1111 1111	1111 1111

Remarques :

Ecrit ou lit les états du port

Indique le sens d'échange (E/S)

Legend: x = unknown, u = unchanged

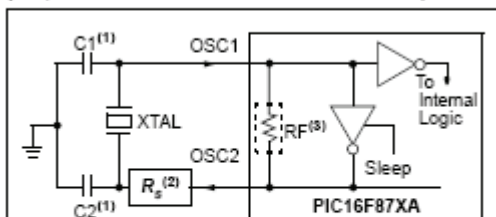
bit 1-0	FOSC1:FOSC0: Oscillator Selection bits	LP	Low-Power Crystal
	11 = RC oscillator	XT	Crystal/Resonator
	10 = HS oscillator	HS	High-Speed Crystal/Resonator
	01 = XT oscillator	RC	Resistor/Capacitor
	00 = LP oscillator		

5 L'HORLOGE

Le pic peut fonctionner selon 4 types d'horloges (configuré par deux bits (FOSC1 and FOSC0) du registre CONFIGURATION (adresse 2007h)

5.1 Oscillateur à Quartz ou Céramique (HS, XT, LP) ou Horloge externe

CRYSTAL/CERAMIC RESONATOR OPERATION (HS, XT OR LP OSC CONFIGURATION)



- Note 1: See Table 14-1 and Table 14-2 for recommended values of C1 and C2.
- 2: A series resistor (R_s) may be required for AT strip out crystals.
- 3: RF varies with the crystal chosen.

CERAMIC RESONATORS

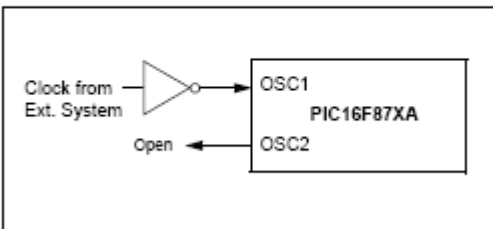
Ranges Tested:			
Mode	Freq.	OSC1	OSC2
XT	455 kHz	68-100 pF	68-100 pF
	2.0 MHz	15-68 pF	15-68 pF
	4.0 MHz	15-68 pF	15-68 pF
HS	8.0 MHz	10-68 pF	10-68 pF
	16.0 MHz	10-22 pF	10-22 pF

These values are for design guidance only. See notes following Table 14-2.

Resonators Used:		
2.0 MHz	Murata Erie CSA2.00MG	± 0.5%
4.0 MHz	Murata Erie CSA4.00MG	± 0.5%
8.0 MHz	Murata Erie CSA8.00MT	± 0.5%
16.0 MHz	Murata Erie CSA16.00MX	± 0.5%

All resonators used did not have built-in capacitors.

EXTERNAL CLOCK INPUT OPERATION (HS, XT OR LP OSC CONFIGURATION)



CAPACITOR SELECTION FOR CRYSTAL OSCILLATOR

Osc Type	Crystal Freq.	Cap. Range C1	Cap. Range C2
LP	32 kHz	33 pF	33 pF
	200 kHz	15 pF	15 pF
XT	200 kHz	47-68 pF	47-68 pF
	1 MHz	15 pF	15 pF
	4 MHz	15 pF	15 pF
HS	4 MHz	15 pF	15 pF
	8 MHz	15-33 pF	15-33 pF
	20 MHz	15-33 pF	15-33 pF

These values are for design guidance only. See notes following this table.

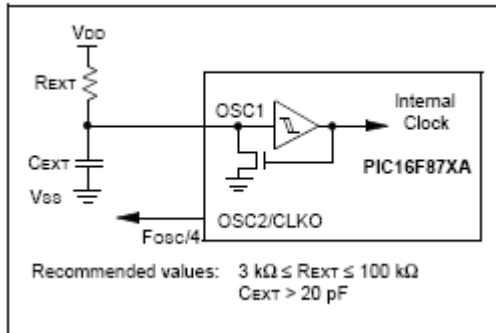
Crystals Used		
32 kHz	Epson C-001R32.768K-A	± 20 PPM
200 kHz	STD XTL 200.000KHz	± 20 PPM
1 MHz	ECS ECS-10-13-1	± 50 PPM
4 MHz	ECS ECS-40-20-1	± 50 PPM
8 MHz	EPSON CA-301 8.000M-C	± 30 PPM
20 MHz	EPSON CA-301 20.000M-C	± 30 PPM

Note

- 1: Higher capacitance increases the stability of oscillator but also increases the start-up time.
- 2: Since each resonator/crystal has its own characteristics, the user should consult the resonator/crystal manufacturer for appropriate values of external components.
- 3: R_s may be required in HS mode, as well as XT mode, to avoid overdriving crystals with low drive level specification.
- 4: When migrating from other PICmicro® devices, oscillator performance should be verified.

5.2 Oscillateur à circuit RC

RC OSCILLATOR MODE



Considérations sur l'Horloge :

Comme nous l'avons vu, entre la fréquence du signal d'Horloge F_{osc} et le cycle d'une instruction; il y a un rapport de 4.

Soit pour un Quartz à $F_{osc}=20\text{MHz}$ ou $T_{osc}=50 \text{ ns}$, la durée du cycle est 4x plus grande soit $T_{cycle} = 200 \text{ ns}$

