

Logique Séquentielle - fonction « Registre à décalage »

1. Introduction

Les bascules sont très utilisées comme éléments de mémorisation de données ou d'information. Le stockage des données a généralement lieu dans des groupes de bascules, appelés **registres**. Un registre mémorise un mot binaire de **n bits**, il est donc constitué de **n mémoires élémentaires** qui sont des bascules. Un registre de n bits comprend :

- **n bascules** qui peuvent être de type RSH, D ou JKH,
- Une **entrée de signal d'horloge** pour la synchronisation,
- Une commande pour le chargement ou l'**écriture**,
- Une commande pour l'activation des sorties ou la **lecture**,
- et éventuellement une commande pour le **décalage interne des bits** du mot mémorisé.

La manipulation la plus fréquente qu'on fait subir aux données conservées dans des bascules ou des registres est le transfert (échange de données d'un registre à un autre).

Dans les **transferts synchrones** (les plus courants), on utilisera l'**horloge**.

Dans les **transferts asynchrones**, on utilisera les **entrées de remise à 0 ou 1 asynchrones**.

Exemple de registre : calculatrice (les chiffres se décalent au fur et à mesure qu'ils sont rentrés).

2. Mise en œuvre d'un Registre à décalage

Voir TP, Paragraphe 1.

3. Constitution d'un registre

3.1 Registre élémentaire 1 bit

Compte tenu de sa constitution (entrée D, signal d'horloge, sortie Q qui recopie D) une bascule D constitue un registre élémentaire (ou élément mémoire) de 1 bit.

Les **exercices 1 et 2 du TD**, montrent que l'on peut réaliser une bascule D (et donc un registre 1 bit) à l'aide d'une bascule RSH (ou JKH) et d'un simple opérateur NON.

3.2 Caractéristiques d'un registre

Capacité : nombre de bits du mot binaire qu'il peut mémoriser.

Mode d'écriture ou de chargement : dépend du nombre d'entrées :

- > Une génération bit par bit, avec transmission par un seul conducteur caractérise une écriture en série.
- > Une génération globale du mot de n bits, avec transmission par un bus de n bits (n fils conducteurs), caractérise une écriture parallèle.

Mode de lecture :

- > Une exploitation bit à bit du mot impose une lecture série (une sortie).
- > Une exploitation globale du mot impose une lecture parallèle. (n sorties)

3.2 Les différents types de registre

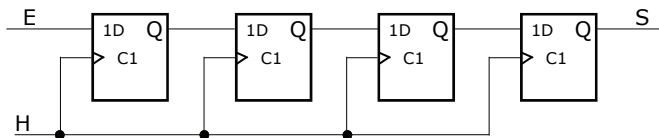
Il existe différents types de registre selon le mode d'accès au registre (en lecture et en écriture)

3.2.1) Les registres à lecture et écriture série

Ces registres sont caractérisés par :

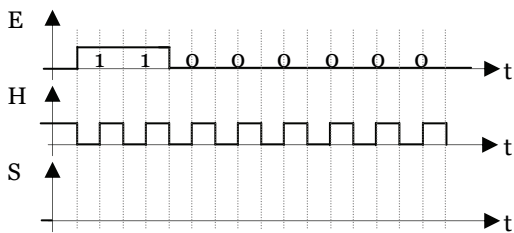
- 1 entrée de donnée,
- 1 sortie de donnée,
- n bascules,
- une entrée de commande du décalage (horloge)

Exemple de registre à décalage 4 bits (lecture et écriture série)



Les bascules D sont les plus utilisées dans ce type de registre car elles demandent moins de connexions. Toutefois on peut utiliser des bascules JKH ou RSH à condition de poser comme on vient de le voir précédemment (paragraphe 3.1) : $J = K$ ou $S = R$

Exercice : Compléter les chronogrammes suivants correspondant à la structure ci-dessus.



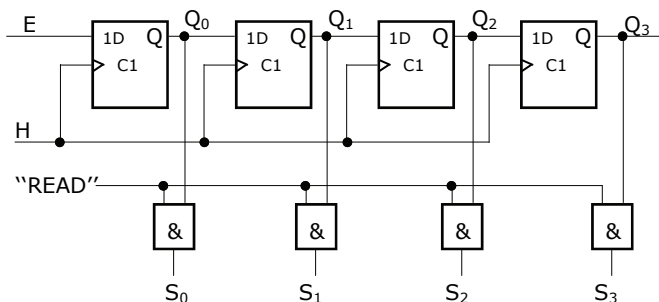
Remarque : Le premier état 1 sur E est obtenu en sortie après

3.2.2) Les registres à écriture série et lecture parallèle

Ces registres sont caractérisés par :

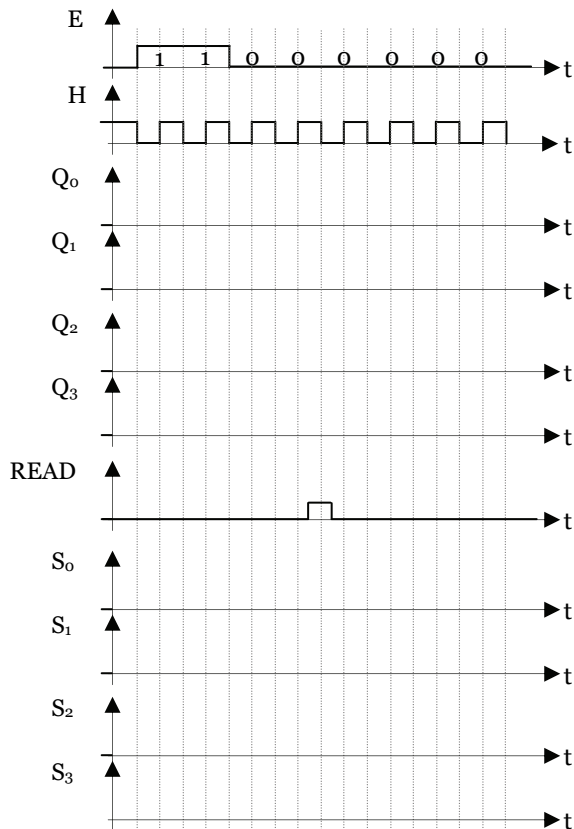
- 1 entrée de donnée,
- n sorties de donnée,
- n bascules,
- une entrée de commande du décalage (horloge)
- éventuellement une entrée de commande de lecture (READ)

Exemple de registre à décalage 4 bits (écriture série et lecture parallèle)



Remarque : Le signal « READ » n'est pas obligatoire. Il permet juste de commander la lecture des sorties en même temps, de façon à s'affranchir des différents temps de propagation.

Exercice : Compléter les chronogrammes suivants correspondant à la structure ci-dessus (page précédente).

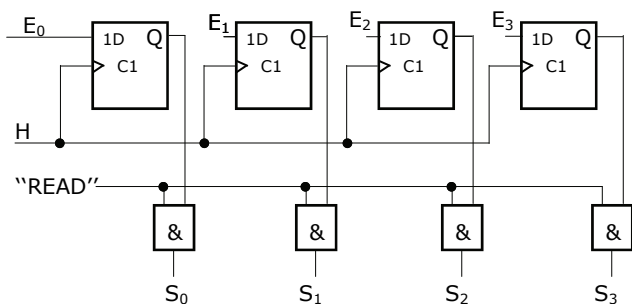


3.2.3) Les registres à écriture et lecture parallèle

Ces registres sont caractérisés par :

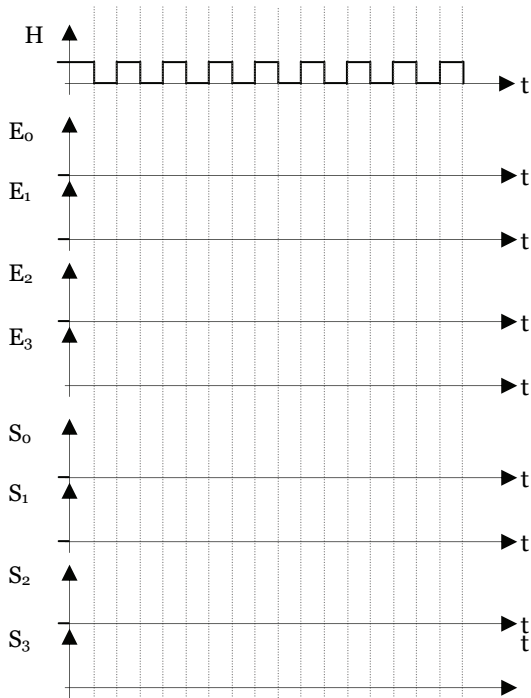
- n entrées de donnée,
- n sorties de donnée,
- n bascules,
- une entrée de chargement (horloge)
- éventuellement une entrée de commande de lecture (READ)

Exemple de registre à décalage 4 bits (écriture et lecture parallèle)



Remarque : Le signal « READ » n'est pas obligatoire. Il permet juste de commander la lecture des sorties en même temps, de façon à s'affranchir des différents temps de propagation.

Exercice : Compléter les chronogrammes suivants correspondant à la structure ci-dessus (page précédente).
 On considèra que le signal « READ » est toujours au niveau logique haut.

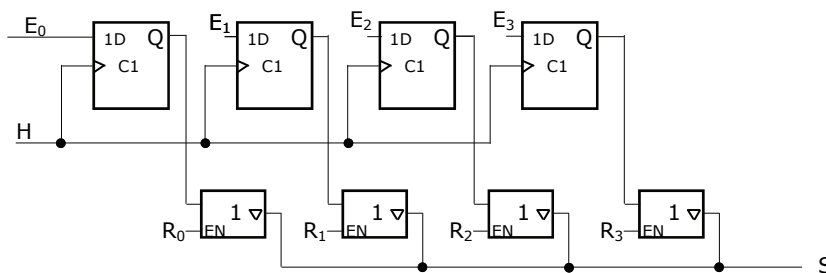


3.2.4) Les registres à écriture parallèle et lecture série

Ces registres sont caractérisés par :

- n entrées de donnée,
- 1 sortie de donnée,
- n bascules,
- une entrée de chargement (horloge)
- 4 entrées de commande de lecture (READ)

Exemple de registre à décalage 4 bits (écriture parallèle et lecture série)



Remarques sur la sortie S :

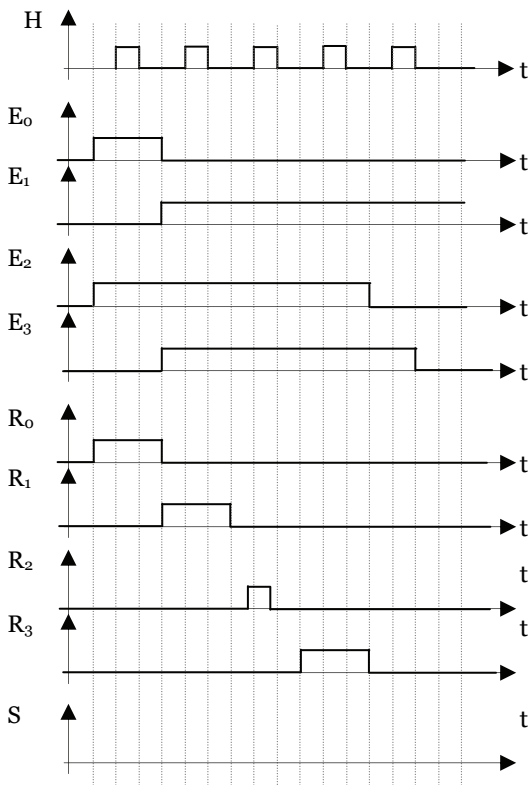
Chaque opérateur OUI à une sortie dite « 3 états » (symbolisé par le triangle en sortie de l'opérateur):
 C'est trois états sont le « 0 », le « 1 » ou l'état « Z » dit état « haute impédance » (équivalent à la sortie non connectée à la structure interne).

Fonctionnement de ce type d'opérateur :

EN	E	S	Remarques
0	X	Z	Etat haute impédance en sortie de l'opérateur. La résistance de sortie de l'opérateur est infinie \Rightarrow la sortie n'est pas connectée
1	0	0	EN=1, la sortie S est égale à l'entrée E; S=E
1	1	1	EN=1, la sortie S est égale à l'entrée E; S=E

Pour fonctionner correctement il ne faut pas que deux sorties soient actives en même temps. Donc par exemple quand $R_0=1$, le bus de sorties S est relié à la sortie Q de la première bascule. Mais ATTENTION, toutes les autres entrées de validation de lecture R_1, R_2, R_3 doivent être égale à 0.

Exercice : Compléter les chronogrammes suivants correspondant à la structure ci-dessus (page précédente).



3.2.5) Les registres à décalage

Ce type de registre fait glisser l'information de chaque cellule élémentaire du registre vers les cellules élémentaires adjacentes.

Si le transfert à lieu vers les cellules adjacentes de droite, le registre est un registre à décalage à droite.

Si le transfert à lieu vers les cellules adjacentes de gauche, le registre est un registre à décalage à gauche.

En l'absence de transfert d'informations d'un registre à un autre, la cellule la plus à gauche dans le cas d'un décalage à droite ou la cellule la plus à droite dans le cas d'un décalage à gauche reçoit un zéro à chaque décalage.

Exemples de registre à décalage circulaire 4 bits :

HORLOGE	Décalage à Gauche (du poids faible vers le poids fort)			
Situation initiale	1	1	0	1
1er top de H				
2ème top de H				
3ème top de H				
4ème top de H				

HORLOGE	Décalage à Droite (du poids fort vers le poids faible)			
Situation initiale	1	1	0	1
1er top de H				
2ème top de H				
3ème top de H				
4ème top de H				

3.3 Comparaison transfert // et transfert série

Dans un transfert en //, toute l'information est communiquée en une seule fois à l'arrivée du top d'horloge indépendamment du nombre n de bits à transférer. Par contre, lors d'un transfert en série, pour échanger n bits, il faut attendre n impulsions d'horloge. **Le transfert en // est par conséquent plus rapide que le transfert en série.**

Mais quand on fonctionne en //, il faut davantage de connexions. Pour un registre n bits à transfert // on a besoin de n connexions à place d'une seule en série. On privilégie la liaison série sur de longues distances.

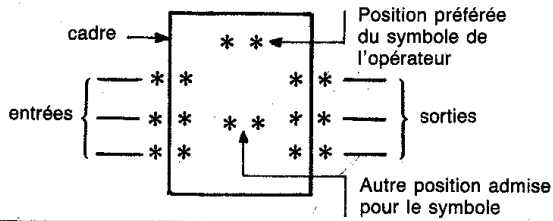
ANNEXE 1

1.1.7. SYMBOLES GRAPHIQUES POUR OPÉRATEURS LOGIQUES BINAIRES (NF C 03-212 et CEI 617-12)

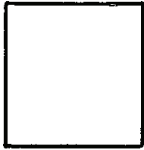
LOGIQUE POSITIVE. En logique positive, le niveau H est symbolisé par l'état 1, le niveau L par l'état 0.

ÉTAT LOGIQUE INTERNE. État logique réputé exister à l'intérieur d'un symbole à une entrée ou à une sortie.

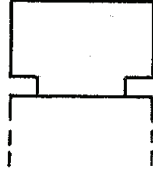
FORMATION DES SYMBOLES



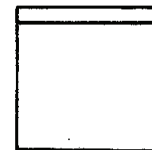
Un symbole comprend un cadre ou un regroupement de cadres complété de symboles distinctifs.



Cadre d'opérateur

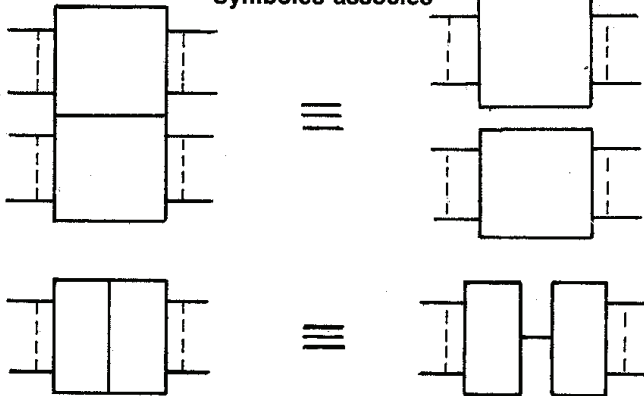


Cadre du symbole des communs

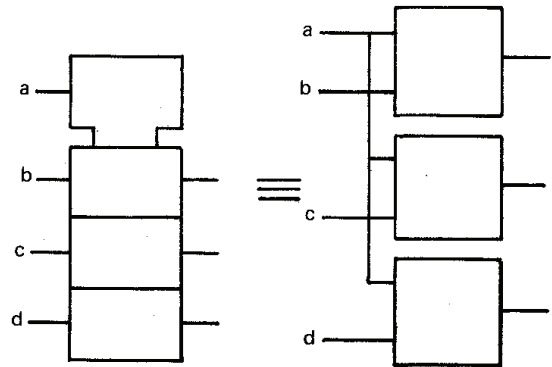


Cadre d'opérateur commun de sortie

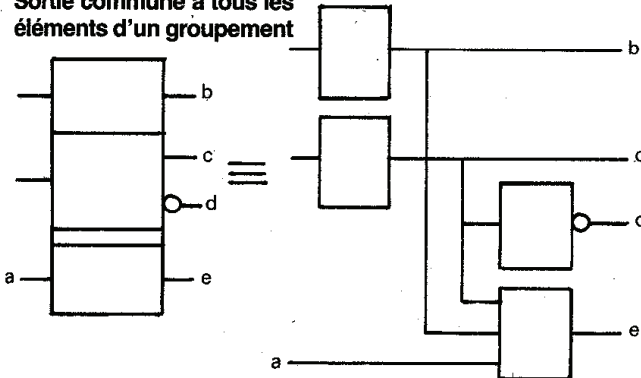
Symboles associés



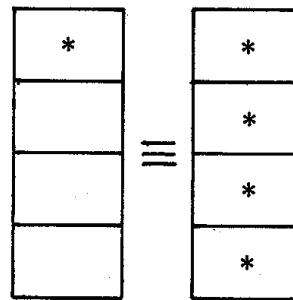
Fonction du cadre des communs



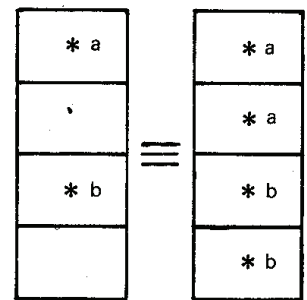
Sortie commune à tous les éléments d'un groupement



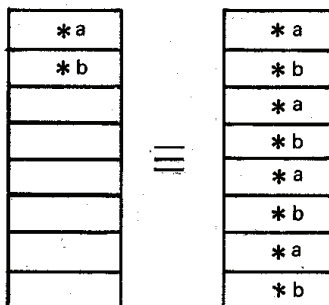
Groupement d'opérateurs ayant le même symbole distinctif



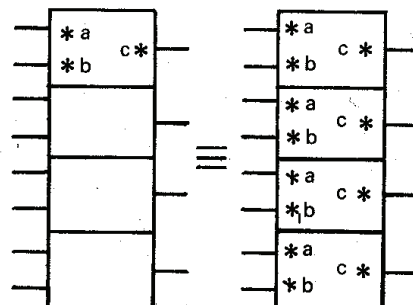
Deux groupements successifs d'opérateurs



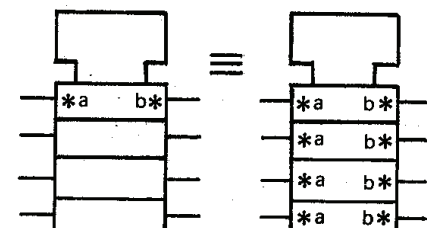
Groupement de 4 paires d'opérateurs



Groupement de 4 opérateurs identiques



Groupement de 4 opérateurs identiques avec cadre de symbole des communs



ANNEXE 1

SYMBOLES DISTINCTIFS ASSOCIÉS AUX ENTRÉES SORTIES ET AUTRES CONNEXIONS			
	Négation logique à l'entrée État interne 1 État externe 0		Entrée dynamique État interne = 1 sur front montant
	Négation logique à la sortie État externe 0 État interne 1		État dynamique avec négation logique État interne = 1 sur front descendant
	Connexion interne		Symbole d'effet différé sur une sortie
	Sortie amplifiée		Entrée à seuil Entrée avec hystérésis
	Sortie à circuit ouvert (symbole général)		Sortie à circuit ouvert de type H Par exemple NPN émetteur ouvert
	Sortie à collecteur ouvert (C.O.) NPN collecteur ouvert		Sortie 3 états. État haute impédance Entrée de commande notée EN
	Entrée d'expansion. A connecter à la sortie d'un circuit expandeur		Sortie d'un expandeur. A connecter à l'entrée d'un autre circuit
	Entrée de validation. L'état interne 0 de l'entrée EN entraîne l'état externe « Haute Impédance ». Cette entrée est à effet prépondérant de dépendance « ET » sur toutes les sorties.		
	Entrée D d'une bascule. L'état logique interne de cette entrée est mis en mémoire.		Entrée J d'une bascule
	Entrée K d'une bascule		Entrée R. Entrée à état interne 1,0 mémorisé par l'opérateur
	Entrée S. Entrée à état interne 1,1 mémorisé par l'opérateur		Entrée T d'une bascule. Chaque fois que T = 1, changement d'état de la bascule.
	Entrée de décalage d'un registre à droite. Décalage de m positions		Entrée de comptage. Incrémente de m à chaque impulsion d'entrée.
	Entrée de décalage d'un registre à gauche. Décalage de m positions		Entrée de décomptage. Décrémente de m à chaque impulsion d'entrée.
	Entrée d'interrogation d'une mémoire associative		Sortie de comparaison d'une mémoire associative
	Entrée opérande, entrée P figurée. A cette entrée est affecté un opérande.		Entrée PLUS GRAND QUE d'un comparateur numérique
	Entrée PLUS PETIT QUE d'un comparateur numérique		Entrée d'ÉGALITÉ d'un comparateur numérique
	Entrée d'une retenue dans un opérateur monté en cascade		Entrée de la retenue générée dans un opérateur
	Sortie de la retenue générée par un opérateur en vue d'un calcul anticipé		Sortie de la retenue d'un opérateur
	Sortie de la retenue propagée dans un opérateur		Entrée imposant un contenu Si m = 0, utiliser R
	Sortie indiquant que l'opérateur a atteint la valeur indiquée		Entrée en mode fixe, en permanence à l'état interne 1
	Accès bilatéral figuré sur le côté gauche. Peut figurer sur le côté droit.		Sortie de mode fixe en permanence à l'état interne 1
	Accès bilatéral avec notation de dépendance		Accès bilatéral figuré sur le côté droit avec notation de dépendance
	Entrée concernée par des signaux analogiques (si risque de confusion)		Entrée concernée par des signaux numériques (s'il y a risque de confusion)
	Accès sans transmission d'information (Branchement extérieur d'un composant R,C)		Symbole de groupement numérique pour accès à plusieurs bits en parallèle m présentés dans l'ordre des poids croissants peuvent être remplacés par les valeurs décimales. L'astérisque peut-représenter un nombre concernant une opération P,Q, soit un chargement ou une notation de dépendance.
	Symboles de groupement de liaisons en entrée ou en sortie. Ils indiquent que plusieurs signaux sont nécessaires pour obtenir une information logique.		

ANNEXE 1

NOTATION DE DÉPENDANCE

La notation de dépendance symbolise les relations entre accès, entrées et sorties, sans figurer le détail des opérateurs et interconnexions impliqués.

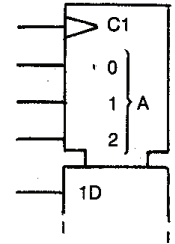
Réservée aux symboles d'opérateurs complexes, la notation de dépendance ne doit pas être utilisée en lieu et place des symboles d'opérateurs combinatoires.

Les conventions régissant la notation de dépendance font appel aux notions d'accès influençants et d'accès influencés.

La notation de dépendance est réalisée en marquant :

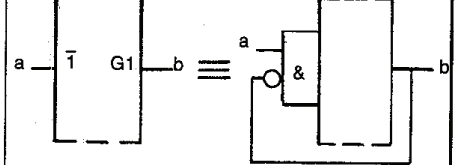
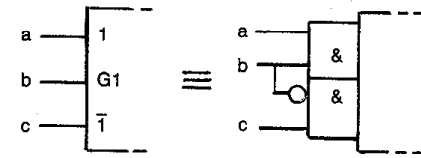
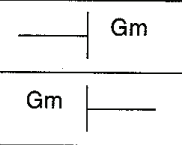
— l'accès influençant par un symbole littéral suivi d'un numéro d'identification ;

— chacun des accès qu'il influence par le même numéro d'identification (représenté par m dans ce chapitre).



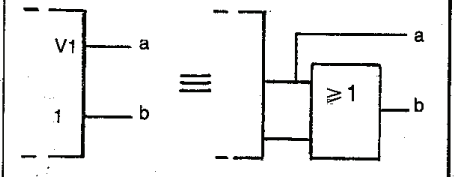
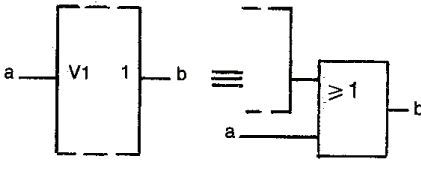
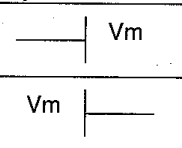
DÉPENDANCE : ET

Symbole : G



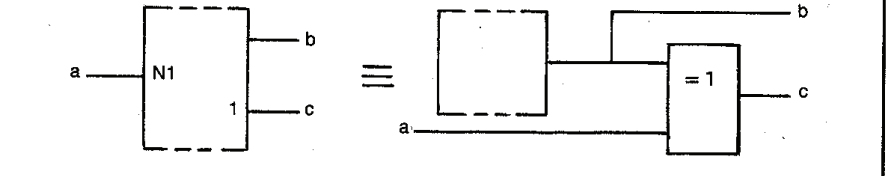
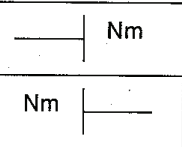
DÉPENDANCE : OU

Symbole : V



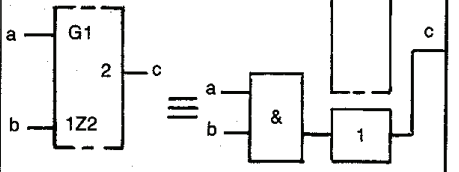
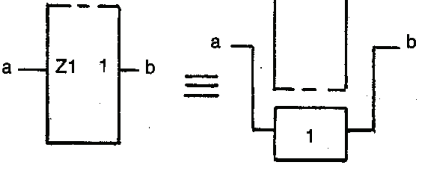
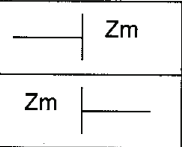
DÉPENDANCE DE NÉGATION

Symbole : N



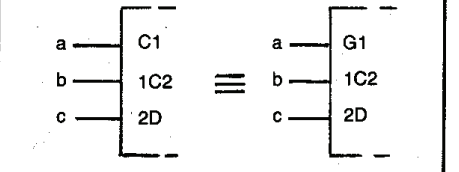
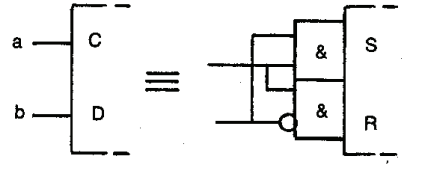
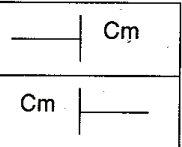
DÉPENDANCE D'INTERCONNEXION

Symbole : Z



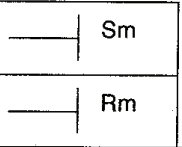
DÉPENDANCE DE COMMANDE

Symbole : C

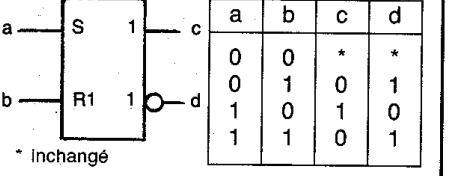
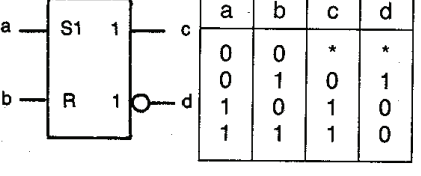


DÉPENDANCE DE MISE A 1

Symbole : S

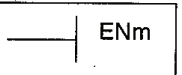


DÉPENDANCE DE MISE A 0
Symbole : R



DÉPENDANCE DE VALIDATION

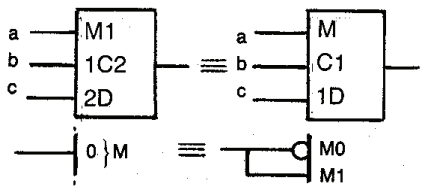
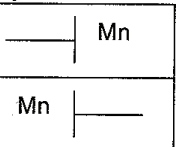
Symbole : EN



L'effet de cette entrée sur les sorties qu'elle influence est le même que celui d'une entrée EN. L'effet de cette entrée sur les entrées qu'elle influence est le même que celui d'une entrée G.

SÉLECTION DE MODE

Symbole : M



Pour les opérateurs complexes, un tableau peut préciser le mode de fonctionnement.

M	fonction
0	Bascule D statique
1	Bascule D dynamique

ANNEXE 1

SÉLECTION D'ADRESSE
Symbole : A

SIGNAUX CODÉS SUR DES ENTRÉES INFLUENÇANTES. Des entrées influençantes peuvent recevoir des signaux codés. Il est alors possible d'incorporer le symbole du décodeur.

TECHNIQUE DE MARQUAGE DES ENTRÉES

TECHNIQUE DE MARQUAGE DES SORTIES

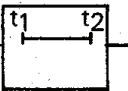
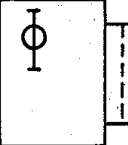
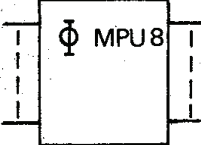
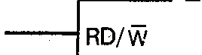

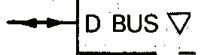
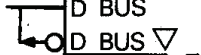
SYMBOLES COMMUNS A PLUSIEURS ACCÈS ADJACENTS

Groupement d'accès à caractéristiques communes

SYMBOLES DISTINCTIFS DES OPÉRATEURS

Opérations fondamentales			
$\geq m$	Symbole de seuil logique (au moins m) Symbole OU pour le cas limite $m = 1$	&	Symbole ET
$= m$	Symbole de la fonction « m et seulement m » Symbole OU EXCLUSIF	2K	Symbole de parité
$= n$	Symbole « d'identité logique »	$2K + 1$	Symbole d'imparité
$> n/2$	Symbole de « majorité logique ». Sortie = 1 si la majorité des entrées sont à 1.	\triangleright	Symbole de puissance lorsque le courant de sortie est supérieur au courant typique
1	Symbole OUI. L'opérateur NON utilise ce symbole complété de la négation en sortie.	\square	Symbole effet de seuil
Opérations complexes séquentielles. Bascules et groupement de bascules			
	Monostable redéclenchable	1	Monostable non redéclenchable
	Astable, symbole général	1	Astable synchronisé au démarrage
	Astable synchronisé à l'arrêt	D, J, K...	Bascules bistables, pas de symboles distinctifs. Les entrées définissent la bascule.
CTR	Compteur	REG	Registre
CTR DIVm	Compteur-décompteur par m ou modulo m	CTRm	Compteur à m étages
m_1 REG m_2	Groupement de m_1 registres de m_2 bascules	m_1 SRG m_2	Groupement de m_1 registres à décalage de m_2 bascules

ANNEXE 1

Opérations complexes séquentielles. Mémoires			
MEM $m_1 \times m_2$	Mémoire de m_1 section de m_2 bit, en cas général	CAM	Mémoire vive associative adressable par son contenu
CIR	Mémoire vive à recirculation	EPROM	Mémoire effaçable et reprogrammable à lecture seule
EEPROM	Mémoire effaçable électriquement et reprogrammable à lecture seule	FIFO	Mémoire vive du type « premier entré premier sorti »
LIFO	Mémoire vive du type « dernier entré premier sorti »	PROM	Mémoire programmable à lecture seule
RAM	Mémoire vive à accès aléatoire	ROM	Mémoire à lecture seule ou mémoire morte
Opérations complexes combinatoires. Multiplexeurs/démultiplexeurs			
DMX	Démultiplexeur	MULDEX	Multiplexeur-démultiplexeur
MUX	Multiplexeur		
Opérations complexes combinatoires. Convertisseurs			
X/Y	Symbole général. Les symboles qui suivent précisent le type.	BCD	Décimal codé binaire
BIN	Binaire	CAR	Coordonnées cartésiennes
DPY	Afficheur	ECL	Niveau pour circuits logiques ECL
EX3	Excès de 3	EX3GRAY	Excès de 3 code GRAY
GRAY	Code GRAY	HEX	Code hexadécimal
HPRI	Codeur de priorité	MOS	Niveau pour circuits logiques MOS
POL	Coordonnées polaires	mSEG	Code à m segments
TTL	Niveau pour circuits logiques TTL	\cap	Analogique
DEC	Décimal	$\#$	Numérique
Opérations complexes combinatoires. Opérateurs mathématiques			
ALU	Unité arithmétique et logique	CPG	Générateur de retenue anticipée
P - Q	Soustracteur	Σ	Additionneur
π	Multiplicateur	$\frac{P}{Q}$	Diviseur
Opérateurs à retard			
	t_1 et t_2 sont à remplacer par les retards introduits sur les fronts des impulsions.		
OPÉRATEURS LOGIQUES COMPLEXES - ACCÈS A PLUSIEURS FONCTIONS			
		Le symbole distinctif de l'opérateur doit suivre Φ .	
			

SYMBLES DISTINCTIFS D'OPÉRATEURS		
Nom	Anglais	Français
ACC	asynchro. communicat. contrôleur	contrôleur de communications asynchrones
ACIA	asynchro. communicat. interface adapter	adaptateur d'interface
ADLC	advance data link controller	commande de procédure de transmission de données
ALU	arithmetic. logic unit	unité arithmétique et logique
ART	asynchro. receiver transmitter	émetteur récepteur asynchrone
CAM	content addressable memory	mémoire associative adressable par le contenu
CIR	circulation	mémoire vive à recirculation
CLK	clock	horloge
CPG	carry propagated and generated	générateur de retenue anticipée
CPU	computer unit	microcalculateur
CRIC	CRT controller	contrôleur de tube cathodique
CTR	counter	compteur
CTRDIV	counter divider	compteur diviseur
DMC	dynamic memory controller	contrôleur de mémoire dynamique
DMX	demultiplexer	démultiplexeur
DPY	display	afficheur
EDC	error detection and correction	détecteur correcteur d'erreurs
EPROM	erasable programmable ROM	mémoire PROM reprogrammable
EEPROM	electrical erasable programmable ROM	mémoire PROM reprogrammable effaçable électriquement
FDC	floppy disk controller	contrôleur de disque souple
FIFO	first in-first out	mémoire premier entré premier sorti
HPRI	highest priority encoder	codeur de priorité
IORAM	input output random access memory	coupleur d'entrée/sortie avec mémoire à accès aléatoire
LIFO	last in-first out	mémoire dernier entré premier sorti
MAC	multiplier accumulator	multiplicateur accumulateur
MAP	mapper	contrôleur de pagination mémoire
MC	microprogram controller	séquenceur de microprogramme
MEM	memory	mémoire
MOD	modulator	modulateur
MODEM	modulator demodulator, modem	modulateur démodulateur, modem
MPU	microprocessing unit	microprocesseur
MULDEX	multiplexer-demultiplexer	multiplexeur/démultiplexeur
MUX	multiplexer	multiplexeur
PCI	programmable communication interface	interface de communication programmable
PIA	peripheral interface adapter	adaptateur d'interface de périphérique
PIC	programmable interrupt controller	contrôleur d'interruptions programmable
PLA	programmable logic array	réseau logique programmable
PLC	programmable protocol controller	contrôleur de protocole programmable
PROM	programmable read only memory	mémoire ROM programmable
PTM	programmable timing module	temporisateur programmable
RAM	random access memory	mémoire à accès aléatoire (mémoire vive)
RAMC	random access memory controller	contrôleur de mémoire à accès aléatoire
REG	register	registre
RMS	root mean square	dispositif de calcul de valeur efficace
ROM	read only memory	mémoire à lecture seule (mémoire morte)
RTC	real time clock	horloge à temps réel
SAR	successive approximate register	registre à approximations successives
SIO	serial input output	contrôleur d'entrée sortie série
SRG	shift register	registre à décalage
SSDA	synchronous serial data adapter	adaptateur de données séries synchrones
TSR	transmitter data shift register	registre à décalage de données émises
UART	univ. asyn. receiver/transmitter	émetteur-récepteur asynchrone universel
USART	univ. sync. receiver/transmitter	émetteur-récepteur synchrone, asynchrone universel
USRT	univ. sync. receiver/transmitter	émetteur-récepteur synchrone universel
ABRÉVIATIONS RELATIVES AUX OPÉRATEURS COMPLEXES		
ACK	acknowledge	suffice indiquant qu'une demande est acceptée
AID	address data bus	bus d'adresses et de données
ABUS	address bus	bus d'adresses
ALE	address latch enable	validation d'adresse par bascule
BA	bus available	bus disponible
BACK	bus acknowledge	reconnaissance de bus
BRQ	bus request	demande de bus
BUSY	busy	occupé

.....
CAS	column address select	sélection adresse de colonne
CEN	chip enable	validation du boîtier
CLK	clock	entrée/sortie d'horloge
CLKEN	clock enable	validation d'horloge
CS	chip select	sélection du boîtier
CTS	clear to send	prêt à émettre
DACK	DMA acknowledge	demande de DMA acceptée
DBUS	data bus enable	activation du bus de données
DCD	data carrier detect	détection de porteuse
DMA	direct memory access	accès direct de mémoire
DPEN	data port enable	validation des données
DRQ	DMA request	demande de DMA
DRTS	delayed request to send	demande pour émettre retardée
DSR	data set ready	poste de données prêt
DTR	data terminal ready	terminal de données prêt
EN	enable	validation, utilisable comme suffixe
ERR	error	erreur
FLT	fault	faute
HALT	halt	arrêt
HLDA	hold acknowledge	reconnaissance de maintien
HOLD	hold	maintien
HRQ	hold request	demande de maintien
INT	interrupt	interruption
INTA	interrupt acknowledge	reconnaissance d'interruption
INTEN	interrupt enable	validation d'interruption
IRQ	interrupt request	demande d'interruption
MEN	memory enable (RAM)	validation de mémoire
MR	master reset	remise à zéro générale
MRDY	memory ready	mémoire prête
NMI	non maskable interrupt	interruption non masquable
NPB	no parity bit	absence de bit de parité
NSB	number of stop bits	nombre de bits de stop
PA	A peripheral (B,C)	périphérique A, (B,C)
R	reset	remise à zéro
RACT	receiver active	réception en cours valide
RAS	row address select	sélection d'adresse de rangée
RD	read	lecture
RD/W	read/write	lecture/écriture
RDA	receiver data available	données reçues disponibles
RDEN	received data enable	validation données reçues
RDY	ready	prêt
RFE	receiver framing error	erreur de trame réception
ROR	receiver over run	chevauchement de mots réception
RPE	receiver parity error	erreur parité réception
RS	register select	sélection de registre
RSA	receiver status available	mot d'état réception valide
RSOM	receiver start of message	début de message réception
RTS	request to send	demande pour émettre
RX	receiver serial (SID)	entrée série réception
RXCLK	receiver clock	horloge de réception de données
START	start	début
STB	strobe	échantillonnage, utilisable comme suffixe
TACT	transmitter active	transmission en cours valide
TBMT	transmitter buffer empty	tampon émission vide
TBM	transmitter end of message	fin de message émission
TEOM	timer	temporisation
TIM	timer	temporisation
TSA	transmitter status available	mot d'émission valide
TSC	three-state control	commande cu 3 ^e état
TSOM	transmitter start of message	début de message émission
TX	transmitter serial (SOD)	sortie série émission
TXCLK	transmitter clock	horloge d'émission des données
VMA	valid memory address	adresse mémoire valide
VPA	valid peripheral address	adresse périphérique valide
W	write	écriture
WAIT	wait signal	attente
WEN	write enable	validation écriture
XTAL	O, xtal, extal clock	horloge externe du microprocesseur