

Logique Séquentielle - fonction « mémoire »

1. Introduction

Logique combinatoire : Un système logique est dit combinatoire si à tout instant, le résultat logique en sortie ne dépend que de l'état de ses entrées. L'élément de base d'un système combinatoire est la porte logique.

Logique séquentielle : Un système est dit séquentiel si à une même combinaison des variables d'entrée peut correspondre plusieurs combinaisons différentes des variables de sortie.

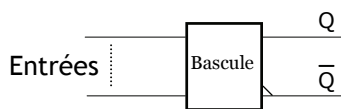
La combinaison des variables de sortie dépend des entrées mais également de l'état antérieur des variables de sortie ou d'un signal de synchronisation.

Autrement dit dans un système séquentiel, la sortie à un instant donné N dépend des entrées à l'instant N mais aussi des entrées et sorties aux instants précédents (instant N-1).

C'est ce que l'on appelle « l'effet MEMOIRE »

L'élément de base d'un système séquentiel est la bascule (bistable)

Fonction mémoire - la bascule :



Les sorties :

La sortie Q est la sortie « normale » de la bascule, tandis que la sortie \bar{Q} est la sortie complémentaire.

Remarque : lorsqu'on fait référence à l'état d'une bascule, on considère l'état de la sortie « normale » Q.

Changement d'état :

Les entrées sont utilisées pour commuter (« faire basculer ») les sorties. Une entrée a seulement besoin de l'excitation d'une impulsion pour changer l'état des sorties de la bascule.

Après la disparition de cette impulsion, les sorties conservent leur valeur.

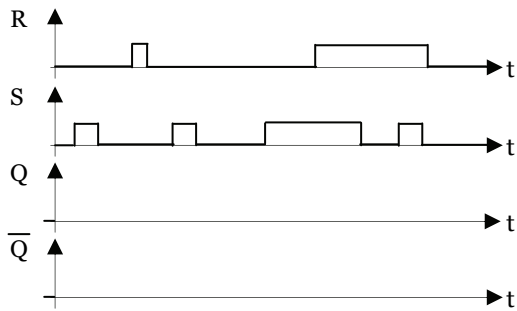
C'est cela qui fait de la bascule un dispositif de mémorisation.

2. Les bascules

2.1 La bascule RS

SYMBOLE	Table de vérité	Bascule RS réalisée à l'aide d'opérateur OU-NON																									
	<table border="1"> <thead> <tr> <th>R</th> <th>S</th> <th>$Q_{(n+1)}$</th> <th>$\bar{Q}_{(n+1)}$</th> <th>Remarque</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td></td> <td></td> <td></td> </tr> <tr> <td>0</td> <td>1</td> <td></td> <td></td> <td></td> </tr> <tr> <td>1</td> <td>0</td> <td></td> <td></td> <td></td> </tr> <tr> <td>1</td> <td>1</td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	R	S	$Q_{(n+1)}$	$\bar{Q}_{(n+1)}$	Remarque	0	0				0	1				1	0				1	1				
R	S	$Q_{(n+1)}$	$\bar{Q}_{(n+1)}$	Remarque																							
0	0																										
0	1																										
1	0																										
1	1																										
<p>Equations des sorties :</p>																											

Exercice : Compléter les chronogrammes suivants (appliqués à une bascule RS) :

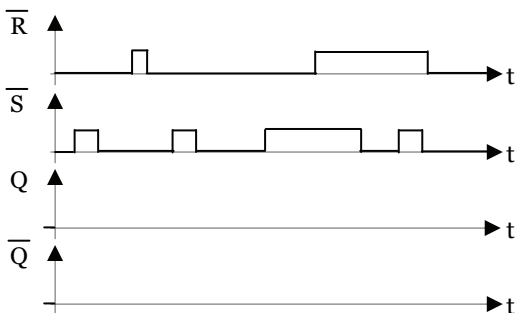


2.2 La bascule $\overline{R}\overline{S}$

Nb : La bascule $\overline{R}\overline{S}$ est la sœur jumelle de la bascule RS.

SYMBOLE	Table de vérité	Bascule RS réalisée à l'aide d'opérateur ET-NON																									
	<table border="1" style="border-collapse: collapse; width: 100%;"> <thead> <tr> <th>\overline{R}</th> <th>\overline{S}</th> <th>$Q_{(n+1)}$</th> <th>$\overline{Q}_{(n+1)}$</th> <th>Remarque</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td></td> <td></td> <td></td> </tr> <tr> <td>0</td> <td>1</td> <td></td> <td></td> <td></td> </tr> <tr> <td>1</td> <td>0</td> <td></td> <td></td> <td></td> </tr> <tr> <td>1</td> <td>1</td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	\overline{R}	\overline{S}	$Q_{(n+1)}$	$\overline{Q}_{(n+1)}$	Remarque	0	0				0	1				1	0				1	1				
\overline{R}	\overline{S}	$Q_{(n+1)}$	$\overline{Q}_{(n+1)}$	Remarque																							
0	0																										
0	1																										
1	0																										
1	1																										
<p>Equations des sorties :</p>																											

Exercice : Compléter les chronogrammes suivants (appliqués à une bascule $\overline{R}\overline{S}$) :



2.3 La bascule R S synchrone (bascule RSH ou RST)

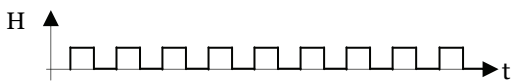
Un circuit numérique peut fonctionner de 2 façons :

- **mode asynchrone** : sa (ou ses) sortie(s) change(nt) d'état à tout moment quand une (ou plusieurs) entrées changent d'état.
- **mode synchrone** : le moment exact, où la sortie change d'état est commandé par un signal de synchronisation temporelle que l'on appelle couramment signal d'horloge (H ou C [clock])

Lorsque qu'un circuit fonctionne en mode synchrone, ses sorties ne changent d'état qu'aux instants de transitions du signal d'horloge. Ces transitions sont appelés des fronts montant ou front descendant.

Intérêt : En distribuant ce signal d'horloge à l'ensemble des fonctions logiques réalisant un système, les sorties de ces fonctions changent d'état toutes en même temps lorsque le signal d'horloge effectue une transition.

Exemple de signal d'horloge :

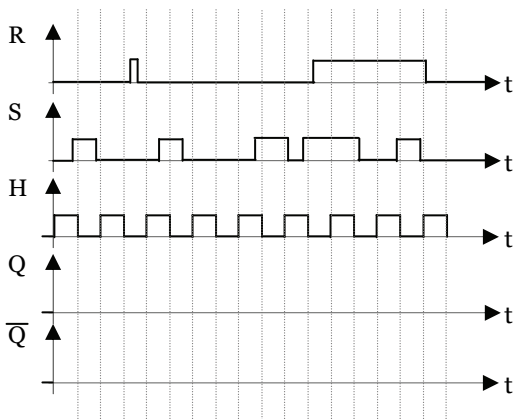


On appelle **front montant** l'instant t ou le signal d'horloge (H) passe de l'état bas à l'état haut. Dans une table de vérité le front montant est symbolisé par le signe suivant :

On appelle **front descendant** l'instant t ou le signal d'horloge (H) passe de l'état haut à l'état bas. Dans une table de vérité le front descendant est symbolisé par le signe suivant : ∇

SYMBOLE bascule RSH		Table de vérité (bascule active sur front montant)						
	ou		R	S	H	$Q_{(n+1)}$	$\bar{Q}_{(n+1)}$	Remarque
Bascule RSH active sur ∇		Bascule RSH active sur ∇		0	0	∇		
				0	1	∇		
				1	0	∇		
				1	1	∇		
				X	X	∇		
				X	X	0		
				X	X	1		

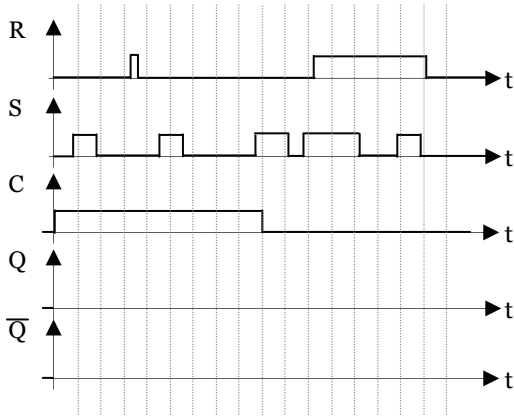
Exercice : Compléter les chronogrammes suivants (appliqués à une bascule RSH active sur front montant) :



2.4 La bascule RS à verrouillage (LATCH)

SYMBOLE bascule RS à verrouillage		Table de vérité (entrée C active à 1)						
<p>Bascule RS à verrouillage (Entrée C active à 1)</p>	ou	<p>Bascule RS à verrouillage (Entrée C active à 0)</p>	R	S	C	$Q_{(n+1)}$	$\overline{Q}_{(n+1)}$	Remarque
			0	0	1			
			0	1	1			
			1	0	1			
			1	1	1			
			X	X	0			

Exercice : Compléter les chronogrammes suivants (appliqués à une bascule RSC active sur niveau 1) :



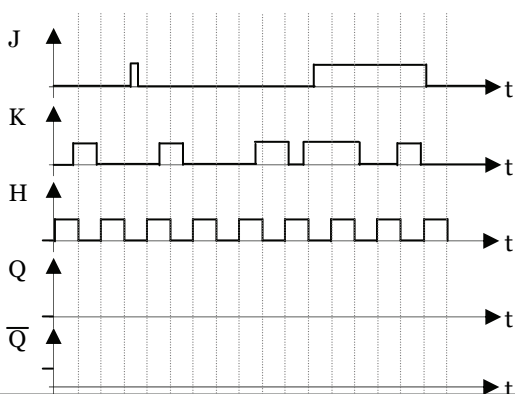
2.5 Exemple d'application des bascules RS

Système Anti-Rebond (voir TD).

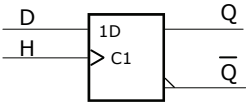
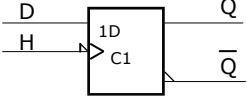
2.6 La bascule JK (synchrone)

SYMBOLE bascule JK		Table de vérité (bascule active sur front montant)						
<p>Bascule JK active sur \downarrow</p>	ou	<p>Bascule JK active sur \uparrow</p>	J	K	H	$Q_{(n+1)}$	$\overline{Q}_{(n+1)}$	Remarque
			0	0	\uparrow	$Q_{(n)}$	$\overline{Q}_{(n)}$	
			0	1	\uparrow	0	1	
			1	0	\uparrow	1	0	
			1	1	\uparrow	$\overline{Q}_{(n)}$	$Q_{(n)}$	
			X	X	\downarrow			
			X	X	0			
			X	X	1			

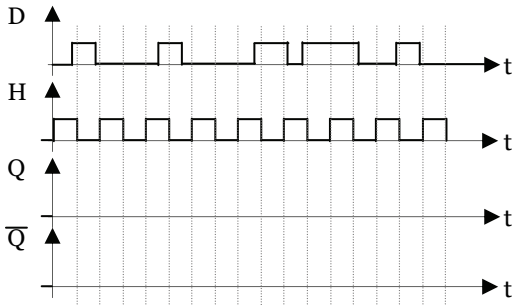
Exercice : Compléter les chronogrammes ci-contre (appliqués à une bascule JK active sur front montant) :



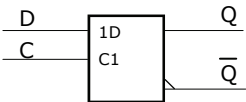
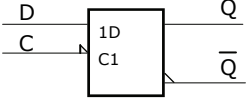
2.7 La bascule D synchrone

SYMBOLE bascule D synchrone		Table de vérité (bascule active sur front montant)					
 Bascule D active sur ∇	ou	 Bascule D active sur ∇	D	H	$Q_{(n+1)}$	$Q_{(n+1)}$	Remarques
			0	∇			
			1	∇			
			X	∇			
			X	0			
			X	1			

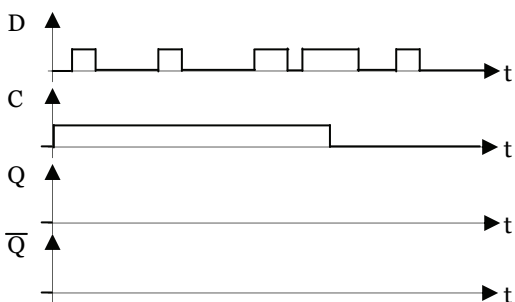
Exercice : Compléter les chronogrammes suivants (appliqués à une bascule D active sur front montant) :



2.7 La bascule D à verrouillage (LATCH)

SYMBOLE bascule D à verrouillage		Table de vérité (bascule active pour C=1)					
 Bascule D à verrouillage	ou		D	C	$Q_{(n+1)}$	$Q_{(n+1)}$	Remarque
			0	1			
			1	1			
			X	0			

Exercice : Compléter les chronogrammes suivants (appliqués à une bascule D , C actif à 1) :



3. Caractéristiques communes aux bascules

3.1 mode de fonctionnement des entrées

Comme nous l'avons vu précédemment les entrées peuvent fonctionner dans un des deux modes de fonctionnement :

- **mode synchrone** : les entrées synchrone ne sont prises en compte que sur le front montant du signal d'horloge. Elles ont un fonctionnement synchrone par rapport au signal d'horloge.
- **mode asynchrone** : les entrées asynchrone (ou dites prioritaires) ont un effet immédiat sur l'état de la bascule.

Initialisation d'une bascule : Pour le fonctionnement d'un système, il est souvent nécessaire que les bascules soient initialisées, c'est à dire que leur sortie Q soit mise à « 1 » ou à « 0 » et ce indépendamment du signal d'horloge. D'où, deux entrées supplémentaires asynchrones, présentes sur pratiquement tous les circuits intégrés :

Preset : mise à 1 de la sortie Q (broche appelée aussi RAU ou SET)

Clear : mise à 0 de la sortie Q. (broche appelée aussi RAZ ou CLR)

Ces deux entrées asynchrones sont désignées entrées d'initialisation ou de forçage.

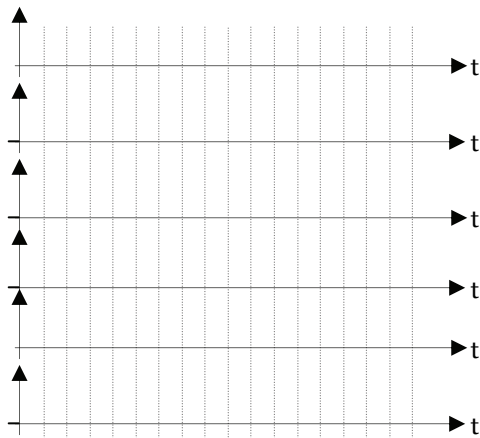
Remarque : La plupart des bascules ont au moins une entrée de type asynchrone (pour fixer la valeur des sorties à la mise sous tension). Dans certains montages, elles sont inutiles : on les maintient alors en permanence au niveau logique inactif.

Exercice 1 : établir les tables de vérité des fonctions logiques 7474 et 7476

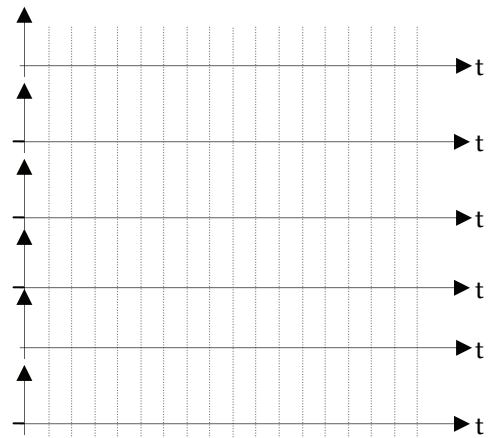
SYMBOLE du circuit référence 7474	Table de vérité du circuit 7474

SYMBOLE du circuit référence 7476	Table de vérité du circuit 7476

Exercice 2 : Tracer les chronogrammes de fonctionnement correspondants aux fonctions logiques 7474 et 7476 (voir exercice 1)



Circuit 7474



Circuit 7476

3.2 Temps de propagation

Comme tout circuit logique, on peut définir deux temps de propagation T_{PHL} et T_{PLH} (c.f TP sur la technologie des fonctions logiques). Ces temps de propagation affecte toutes les entrées des bascules (horloge, fonction SET et RESET, entrées asynchrones...)

Rappel : Le temps de propagation est le retard entre le moment où le signal est appliqué et le moment où ce dernier provoque un changement en sortie. Il est mesuré aux points à mi-hauteur du signaux (50 %).

Les retards de propagation affectent la réponse à toutes les entrées (horloge, entrée asynchrone). Ils peuvent varier entre quelques ns et quelques ms.

Exemple sur doc TI : Pour la bascule 74HC74, on définit $T_p \text{ typ } \overline{PRE}/\overline{CLR} \rightarrow \overline{Q}/\overline{Q} = 20 \text{ ns}$

3.4 Largeur minimum de l'impulsion d'horloge

On définit :

$t_{W \text{ clock}}$: durée minimale pendant laquelle l'horloge doit demeurer à 1 avant de repasser à 0.

exemple : $t_{W \text{ Clock High}} = 20 \text{ ns}$

3.5 Durée minimum pendant laquelle une entrée asynchrone doit être active :

Si on veut effectivement forcer la bascule à 0 ou 1, il faut que l'impulsion sur l'entrée asynchrone dure suffisamment longtemps dans son état actif.

Exemple : $t_{W \text{ Preset Low}} = 25 \text{ ns}$; $t_{W \text{ Clear Low}} = 25 \text{ ns}$.

NB : - Ces entrées sont actives à l'état bas.

- Si on laisse PRESET plus de 25 ns à 0, on est sur que la sortie passera à 1 (sans ambiguïté).

Deux exigences de synchronisation doivent être respectées pour qu'une bascule synchrone réponde correctement à ses entrées de commande lorsque arrive un front déclencheur sur l'horloge.

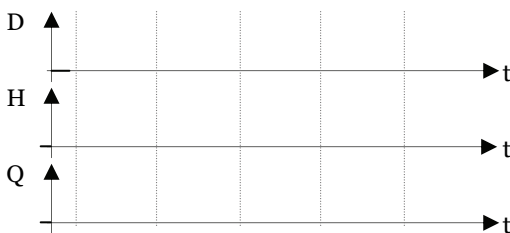
3.6 Temps de stabilisation (ou temps d'établissement min) : noté t_{SU} (Setup).

Il s'agit de l'intervalle qui précède immédiatement le front déclencheur du signal d'horloge, pendant lequel l'entrée de donnée doit être gardée au niveau approprié. Si on ne respecte pas ce temps, il n'est pas garanti que la bascule répondra correctement à l'arrivée du front. Les fabricants spécifient généralement la durée de stabilisation minimale admissible.

3.7 Temps de maintien : noté t_M ou T_H (Hold).

Il s'agit de l'intervalle qui suit immédiatement le front déclencheur du signal d'horloge pendant lequel l'entrée de donnée doit être gardée au niveau approprié. Si on ne respecte pas ce temps, la bascule ne sera pas déclenchée correctement. Les fabricants spécifient généralement la durée minimale acceptable. Généralement le temps de maintien est suffisamment court. La sortie d'une bascule passe donc dans l'état imposé par les niveaux logiques actifs sur ses entrées de commande synchrones juste avant la transition du signal d'horloge.

En résumé, l'entrée de commande doit être stable, c'est à dire inchangée, pendant une durée égale à : $T_S + T_H$.



3.8 Fréquence maximale du signal d'horloge :

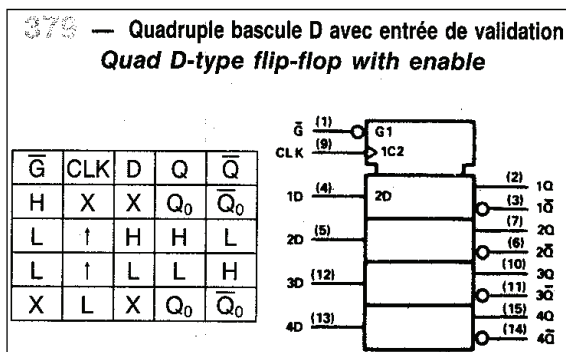
Fréquence la plus élevée que peut avoir le signal d'horloge et qui assure un déclenchement fiable de la bascule. La fréquence F_{max} varie d'une bascule à l'autre et même entre bascules avec le même numéro de série. Elle est fonction du temps de transition.

4. Symbolisation des opérateurs logiques - (Norme Européenne NF-C 03-212 et CEI 617-12)

Une norme Européenne (et Française) définit la façon de représenter la symbolique associée aux opérateurs logiques. C.F annexe 1 à ce cours.

Exemple : Circuit 74379

- Cadre des communs d'entrée : il est utilisé chaque fois qu'un circuit intégré a des entrées communes avec plus d'un élément de la puce.



- **G1** : entrée qui lorsqu'elle est valide (ici état bas) va permettre la validation de toutes les entrées précédées de 1.
 - **1C2** : horloge sur front montant. Elle influence toutes les entrées précédées de 2 (toutes les bascules D).
 - **2D** : entrée de bascule D (influencée par horloge 1C2).

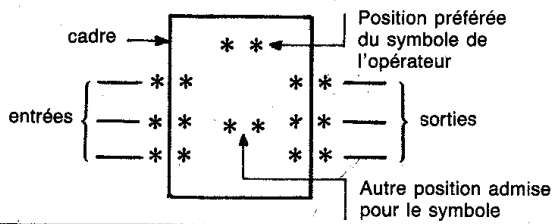
ANNEXE 1

1.1.7. SYMBOLES GRAPHIQUES POUR OPÉRATEURS LOGIQUES BINAIRES (NF C 03-212 et CEI 617-12)

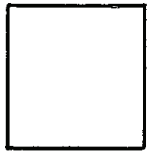
LOGIQUE POSITIVE. En logique positive, le niveau H est symbolisé par l'état 1, le niveau L par l'état 0.

ÉTAT LOGIQUE INTERNE. État logique réputé exister à l'intérieur d'un symbole à une entrée ou à une sortie.

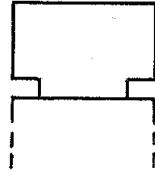
FORMATION DES SYMBOLES



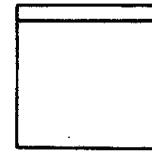
Un symbole comprend un cadre ou un regroupement de cadres complété de symboles distinctifs.



Cadre d'opérateur

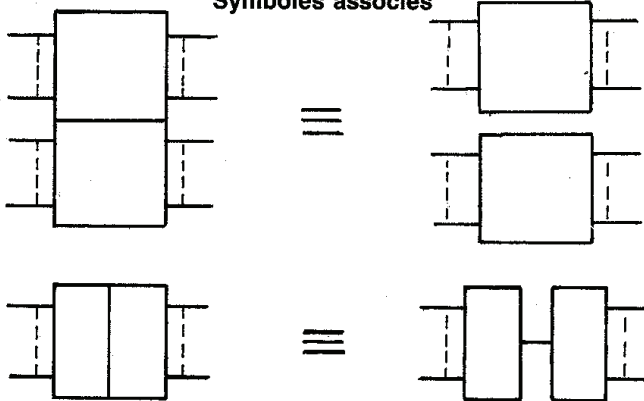


Cadre du symbole des communs

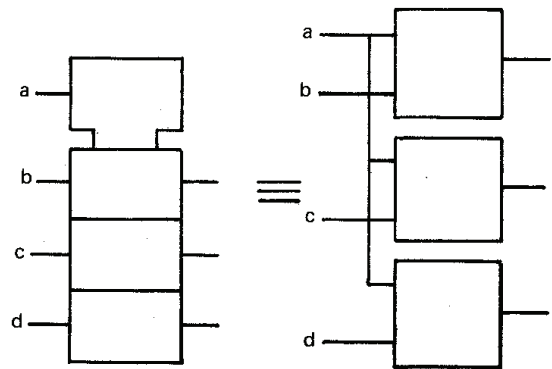


Cadre d'opérateur commun de sortie

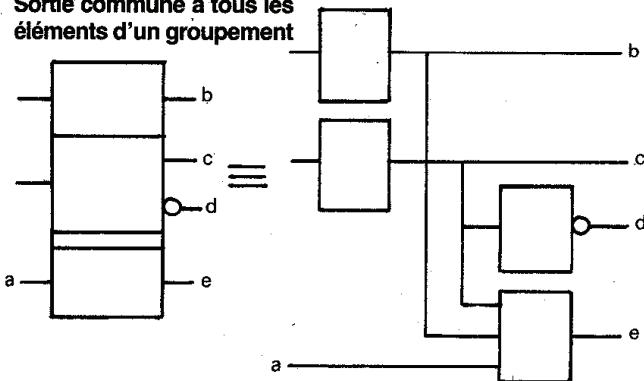
Symboles associés



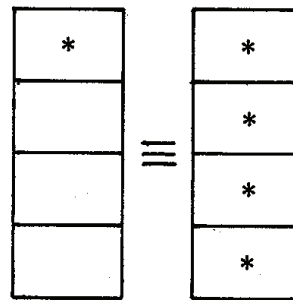
Fonction du cadre des communs



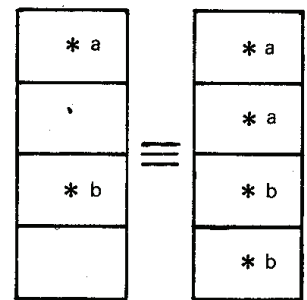
Sortie commune à tous les éléments d'un groupement



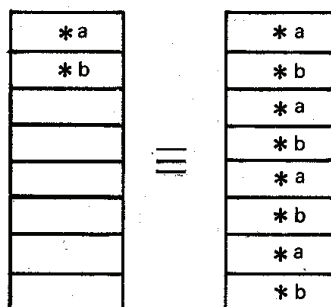
Groupement d'opérateurs ayant le même symbole distinctif



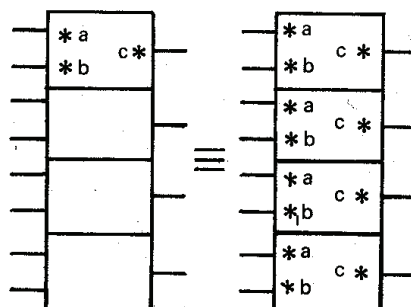
Deux groupements successifs d'opérateurs



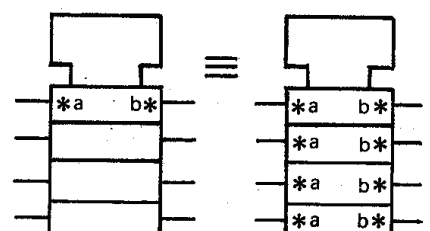
Groupement de 4 paires d'opérateurs



Groupement de 4 opérateurs identiques



Groupement de 4 opérateurs identiques avec cadre de symbole des communs



ANNEXE 1

SYMBÔLES DISTINCTIFS ASSOCIÉS AUX ENTRÉES SORTIES ET AUTRES CONNEXIONS			
	Négation logique à l'entrée État interne 1 État externe 0		Entrée dynamique État interne = 1 sur front montant
	Négation logique à la sortie État externe 0 État interne 1		État dynamique avec négation logique État interne = 1 sur front descendant
	Connexion interne		Symbole d'effet différé sur une sortie
	Sortie amplifiée		Entrée à seuil Entrée avec hystérésis
	Sortie à circuit ouvert (symbole général)		Sortie à circuit ouvert de type H Par exemple NPN émetteur ouvert
	Sortie à collecteur ouvert (C.O.) NPN collecteur ouvert		Sortie 3 états. État haute impédance Entrée de commande notée EN
	Entrée d'expansion. A connecter à la sortie d'un circuit expandeur		Sortie d'un expandeur. A connecter à l'entrée d'un autre circuit
	Entrée de validation. L'état interne 0 de l'entrée EN entraîne l'état externe « Haute Impédance ». Cette entrée est à effet prépondérant de dépendance « ET » sur toutes les sorties.		
	Entrée D d'une bascule. L'état logique interne de cette entrée est mis en mémoire.		Entrée J d'une bascule
	Entrée K d'une bascule		Entrée R. Entrée à état interne 1,0 mémorisé par l'opérateur
	Entrée S. Entrée à état interne 1,1 mémorisé par l'opérateur		Entrée T d'une bascule. Chaque fois que T = 1, changement d'état de la bascule.
	Entrée de décalage d'un registre à droite. Décalage de m positions		Entrée de comptage. Incrémente de m à chaque impulsion d'entrée.
	Entrée de décalage d'un registre à gauche. Décalage de m positions		Entrée de décomptage. Décrémente de m à chaque impulsion d'entrée.
	Entrée d'interrogation d'une mémoire associative		Sortie de comparaison d'une mémoire associative
	Entrée opérande, entrée P figurée. A cette entrée est affecté un opérande.		Entrée PLUS GRAND QUE d'un comparateur numérique
	Entrée PLUS PETIT QUE d'un comparateur numérique		Entrée d'ÉGALITÉ d'un comparateur numérique
	Entrée d'une retenue dans un opérateur monté en cascade		Entrée de la retenue générée dans un opérateur
	Sortie de la retenue générée par un opérateur en vue d'un calcul anticipé		Sortie de la retenue d'un opérateur
	Sortie de la retenue propagée dans un opérateur		Entrée imposant un contenu Si m = 0, utiliser R
	Sortie indiquant que l'opérateur a atteint la valeur indiquée		Entrée en mode fixe, en permanence à l'état interne 1
	Accès bilatéral figuré sur le côté gauche. Peut figurer sur le côté droit.		Sortie de mode fixe en permanence à l'état interne 1
	Accès bilatéral avec notation de dépendance		Accès bilatéral figuré sur le côté droit avec notation de dépendance
	Entrée concernée par des signaux analogiques (si risque de confusion)		Entrée concernée par des signaux numériques (s'il y a risque de confusion)
	Accès sans transmission d'information (Branchement extérieur d'un composant R,C)		Symbole de groupement numérique pour accès à plusieurs bits en parallèle m présentés dans l'ordre des poids croissants peuvent être remplacés par les valeurs décimales. L'astérisque peut-représenter un nombre concernant une opération P,Q, soit un chargement ou une notation de dépendance.
	Symboles de groupement de liaisons en entrée ou en sortie. Ils indiquent que plusieurs signaux sont nécessaires pour obtenir une information logique.		

ANNEXE 1

NOTATION DE DÉPENDANCE

La notation de dépendance symbolise les relations entre accès, entrées et sorties, sans figurer le détail des opérateurs et interconnexions impliqués.

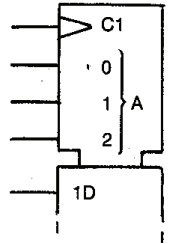
Réservée aux symboles d'opérateurs complexes, la notation de dépendance ne doit pas être utilisée en lieu et place des symboles d'opérateurs combinatoires.

Les conventions régissant la notation de dépendance font appel aux notions d'accès influençants et d'accès influencés.

La notation de dépendance est réalisée en marquant :

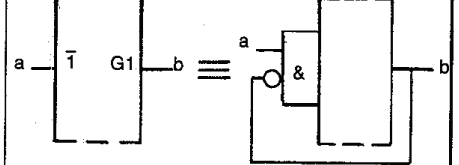
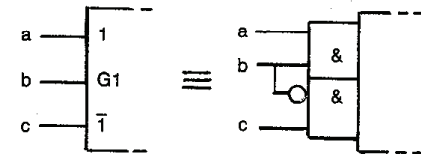
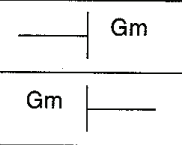
— l'accès influençant par un symbole littéral suivi d'un numéro d'identification ;

— chacun des accès qu'il influence par le même numéro d'identification (représenté par m dans ce chapitre).



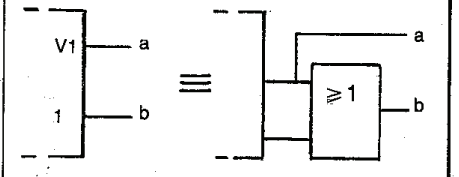
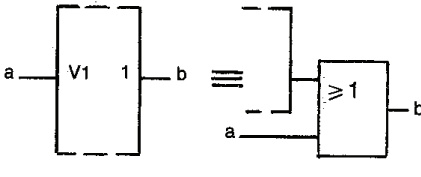
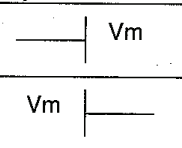
DÉPENDANCE : ET

Symbole : G



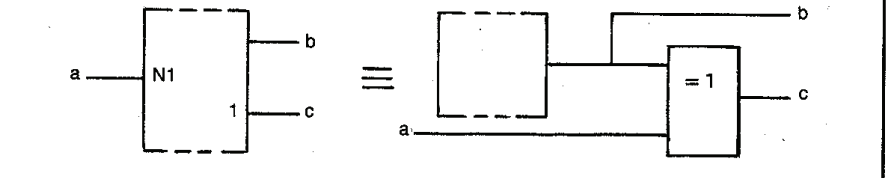
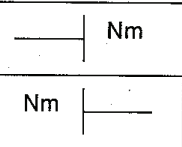
DÉPENDANCE : OU

Symbole : V



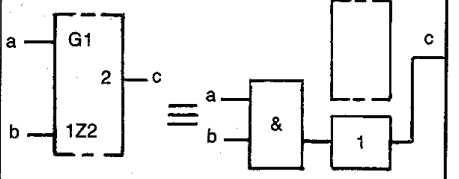
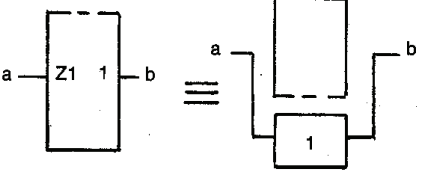
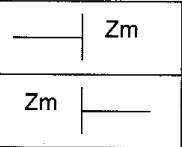
DÉPENDANCE DE NÉGATION

Symbole : N



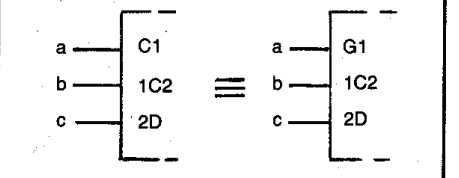
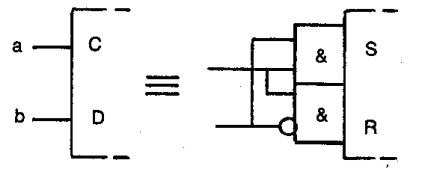
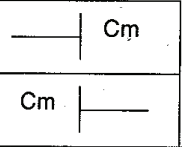
DÉPENDANCE D'INTERCONNEXION

Symbole : Z



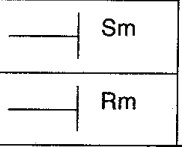
DÉPENDANCE DE COMMANDE

Symbole : C

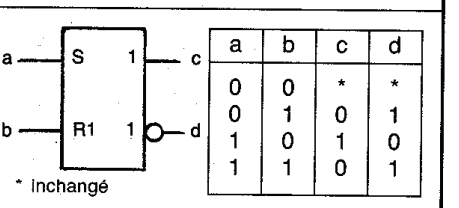
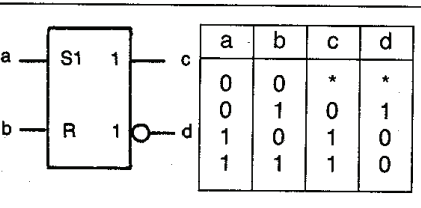


DÉPENDANCE DE MISE A 1

Symbole : S

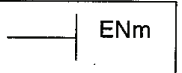


DÉPENDANCE DE MISE A 0
Symbole : R



DÉPENDANCE DE VALIDATION

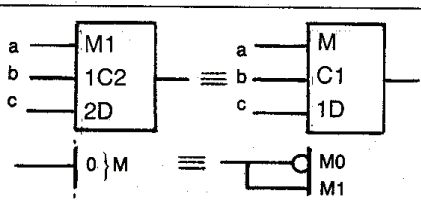
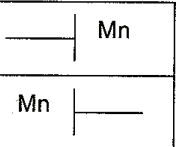
Symbole : EN



L'effet de cette entrée sur les sorties qu'elle influence est le même que celui d'une entrée EN. L'effet de cette entrée sur les entrées qu'elle influence est le même que celui d'une entrée G.

SÉLECTION DE MODE

Symbole : M



Pour les opérateurs complexes, un tableau peut préciser le mode de fonctionnement.

M	fonction
0	Bascule D statique
1	Bascule D dynamique

ANNEXE 1

SÉLECTION D'ADRESSE

Symbole : A

SIGNAUX CODÉS SUR DES ENTRÉES INFLUENÇANTES. Des entrées influençantes peuvent recevoir des signaux codés. Il est alors possible d'incorporer le symbole du décodeur.

TECHNIQUE DE MARQUAGE DES ENTRÉES

$1 \cdot 2 \cdot 3 \cdot 4 \cdot 5 +$
 $1 \cdot 2 \cdot 3 \cdot 4 \cdot 6 -$

$1 \cdot 2 \cdot 3 \cdot 4 \cdot 5 + 1 \cdot 2 \cdot 3 \cdot 4 \cdot 6 -$

$1 \cdot 2 \cdot 3 \cdot 4 \cdot (5 + 6 -)$

TECHNIQUE DE MARQUAGE DES SORTIES

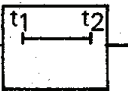
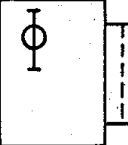
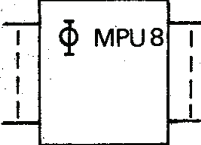


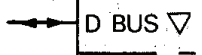
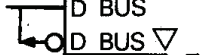
SYMBOLES COMMUNS A PLUSIEURS ACCÈS ADJACENTS

Groupement d'accès à caractéristiques communes

SYMBOLES DISTINCTIFS DES OPÉRATEURS

Opérations fondamentales			
$\geq m$	Symbole de seuil logique (au moins m) Symbole OU pour le cas limite $m = 1$	&	Symbole ET
$= m$	Symbole de la fonction « m et seulement m » Symbole OU EXCLUSIF	2K	Symbole de parité
$= n$	Symbole « d'identité logique »	$2K + 1$	Symbole d'imparité
$> n/2$	Symbole de « majorité logique ». Sortie = 1 si la majorité des entrées sont à 1.	\triangleright	Symbole de puissance lorsque le courant de sortie est supérieur au courant typique
1	Symbole OUI. L'opérateur NON utilise ce symbole complété de la négation en sortie.	\square	Symbole effet de seuil
Opérations complexes séquentielles. Bascules et groupement de bascules			
	Monostable redéclenchable	1	Monostable non redéclenchable
	Astable, symbole général		Astable synchronisé au démarrage
	Astable synchronisé à l'arrêt	D, J, K...	Bascules bistables, pas de symboles distinctifs. Les entrées définissent la bascule.
CTR	Compteur	REG	Registre
CTR DIVm	Compteur-décompteur par m ou modulo m	CTRm	Compteur à m étages
m_1 REG m_2	Groupement de m_1 registres de m_2 bascules	m_1 SRG m_2	Groupement de m_1 registres à décalage de m_2 bascules

ANNEXE 1

Opérations complexes séquentielles. Mémoires			
MEM $m_1 \times m_2$	Mémoire de m_1 section de m_2 bit, en cas général	CAM	Mémoire vive associative adressable par son contenu
CIR	Mémoire vive à recirculation	EPROM	Mémoire effaçable et reprogrammable à lecture seule
EEPROM	Mémoire effaçable électriquement et reprogrammable à lecture seule	FIFO	Mémoire vive du type « premier entré premier sorti »
LIFO	Mémoire vive du type « dernier entré premier sorti »	PROM	Mémoire programmable à lecture seule
RAM	Mémoire vive à accès aléatoire	ROM	Mémoire à lecture seule ou mémoire morte
Opérations complexes combinatoires. Multiplexeurs/démultiplexeurs			
DMX	Démultiplexeur	MULDEX	Multiplexeur-démultiplexeur
MUX	Multiplexeur		
Opérations complexes combinatoires. Convertisseurs			
X/Y	Symbole général. Les symboles qui suivent précisent le type.	BCD	Décimal codé binaire
BIN	Binaire	CAR	Coordonnées cartésiennes
DPY	Afficheur	ECL	Niveau pour circuits logiques ECL
EX3	Excès de 3	EX3GRAY	Excès de 3 code GRAY
GRAY	Code GRAY	HEX	Code hexadécimal
HPRI	Codeur de priorité	MOS	Niveau pour circuits logiques MOS
POL	Coordonnées polaires	mSEG	Code à m segments
TTL	Niveau pour circuits logiques TTL	\cap	Analogique
DEC	Décimal	$\#$	Numérique
Opérations complexes combinatoires. Opérateurs mathématiques			
ALU	Unité arithmétique et logique	CPG	Générateur de retenue anticipée
P - Q	Soustracteur	Σ	Additionneur
π	Multiplicateur	$\frac{P}{Q}$	Diviseur
Opérateurs à retard			
	t_1 et t_2 sont à remplacer par les retards introduits sur les fronts des impulsions.		
OPÉRATEURS LOGIQUES COMPLEXES - ACCÈS A PLUSIEURS FONCTIONS			
		Le symbole distinctif de l'opérateur doit suivre Φ .	
			

SYMBOLES DISTINCTIFS D'OPÉRATEURS		
Nom	Anglais	Français
ACC	asynchro. communicat. contrôlier	contrôlier de communications asynchrones
ACIA	asynchro. communicat. interface adapter	adaptateur d'interface
ADLC	advance data link controller	commande de procédure de transmission de données
ALU	arithmetic. logic unit	unité arithmétique et logique
ART	asynchro. receiver transmitter	émetteur récepteur asynchrone
CAM	content addressable memory	mémoire associative adressable par le contenu
CIR	circulation	mémoire vive à recirculation
CLK	clock	horloge
CPG	carry propagated and generated	générateur de retenue anticipée
CPU	computer unit	microcalculateur
CRTC	CRT controller	contrôleur de tube cathodique
CTR	counter	compteur
CTRDIV	counter divider	compteur diviseur
DMC	dynamic memory controller	contrôleur de mémoire dynamique
DMX	demultiplexer	démultiplexeur
DPY	display	afficheur
EDC	error detection and correction	détecteur correcteur d'erreurs
EPROM	erasable programmable ROM	mémoire PROM reprogrammable
EEPROM	electrical erasable programmable ROM	mémoire PROM reprogrammable effaçable électriquement
FDC	floppy disk controller	contrôleur de disque souple
FIFO	first in-first out	mémoire premier entré premier sorti
HPRI	highest priority encoder	codeur de priorité
IORAM	input output random access memory	coupleur d'entrées/sorties avec mémoire à accès aléatoire
LIFO	last in-first out	mémoire dernier entré premier sorti
MAC	multiplier accumulator	multiplicateur accumulateur
MAP	mapper	contrôleur de pagination mémoire
MC	microprogram controller	séquenceur de microprogramme
MEM	memory	mémoire
MOD	modulator	modulateur
MODEM	modulator demodulator, modem	modulateur démodulateur, modem
MPU	microprocessing unit	microprocesseur
MULDEX	multiplexer-demultiplexer	multiplexeur/démultiplexeur
MUX	multiplexer	multiplexeur
PCI	programmable communication interface	interface de communication programmable
PIC	peripheral interface adapter	adaptateur d'interface de périphérique
PIA	programmable interrupt controller	contrôleur d'interruptions programmable
PLA	programmable logic array	réseau logique programmable
PLC	programmable protocol controller	contrôleur de protocole programmable
PROM	programmable read only memory	mémoire ROM programmable
PTM	programmable timing module	temporisateur programmable
RAM	random access memory	mémoire à accès aléatoire (mémoire vive)
RAMC	random access memory controller	contrôleur de mémoire à accès aléatoire
REG	register	registre
RMS	root mean square	dispositif de calcul de valeur efficace
ROM	read only memory	mémoire à lecture seule (mémoire morte)
RTC	real time clock	horloge à temps réel
SAR	successive approximate register	registre à approximations successives
SIO	serial input output	contrôleur d'entrée sortie série
SRG	shift register	registre à décalage
SSDA	synchronous serial data adapter	adaptateur de données séries synchrones
TSR	transmitter data shift register	registre à décalage de données émises
UART	univ. asyn. receiver/transmitter	émetteur-récepteur asynchrone universel
USART	univ. sync. receiver/transmitter	émetteur-récepteur synchrone, asynchrone universel
USRT	univ. sync. receiver/transmitter	émetteur-récepteur synchrone universel
ABRÉVIATIONS RELATIVES AUX OPÉRATEURS COMPLEXES		
ACK	acknowledge	suffixe indiquant qu'une demande est acceptée
AID	address data bus	bus d'adresses et de données
ABUS	address bus	bus d'adresses
ALE	address latch enable	validation d'adresse par bascule
BA	bus available	bus disponible
BACK	bus acknowledge	reconnaissance de bus
BRQ	bus request	demande de bus
BUSY	busy	occupé

Anglais	Français
CAS	column address select
CEN	chip enable
CLK	clock
CLKEN	clock enable
CS	chip select
CTS	clear to send
DACK	DMA acknowledge
DBEN	data bus enable
DCD	data carrier detect
DMA	direct memory access
DPEN	data port enable
DRQ	DMA request
DRTS	delayed request to send
DSR	data set ready
DTR	data terminal ready
EN	enable
ERR	error
FLT	fault
HALT	halt
HLDA	hold acknowledge
HOLD	hold
HRQ	hold request
INT	interrupt
INTA	interrupt acknowledge
INTEN	interrupt enable
IRQ	interrupt request
MEN	memory enable (RAM)
MR	master reset
MRDY	memory ready
NMI	non maskable interrupt
NPB	no parity bit
NSB	number of stop bits
PA	A peripheral (B,C)
R	reset
RACT	receiver active
RAS	row address select
RD	read
RD/W	read/write
RDA	receiver data available
RDEN	received data enable
RDY	ready
RFE	receiver framing error
ROR	receiver over run
RPE	receiver parity error
RS	register select
RSA	receiver status available
RSOM	receiver start of message
RTS	request to send
RX	receiver serial (SID)
RXCLK	receiver clock
START	start
STB	strobe
TACT	transmitter active
TBMT	transmitter buffer empty
TEOM	transmitter end of message
TIM	timer
TSA	transmitter status available
TSC	three-state control
TSOM	transmitter start of message
TX	transmitter serial (SOD)
TXCLK	transmitter clock
VMA	valid memory address
VPA	valid peripheral address
W	write
WAIT	wait signal
WEN	write enable
XTAL	O. xtal, extal clock