



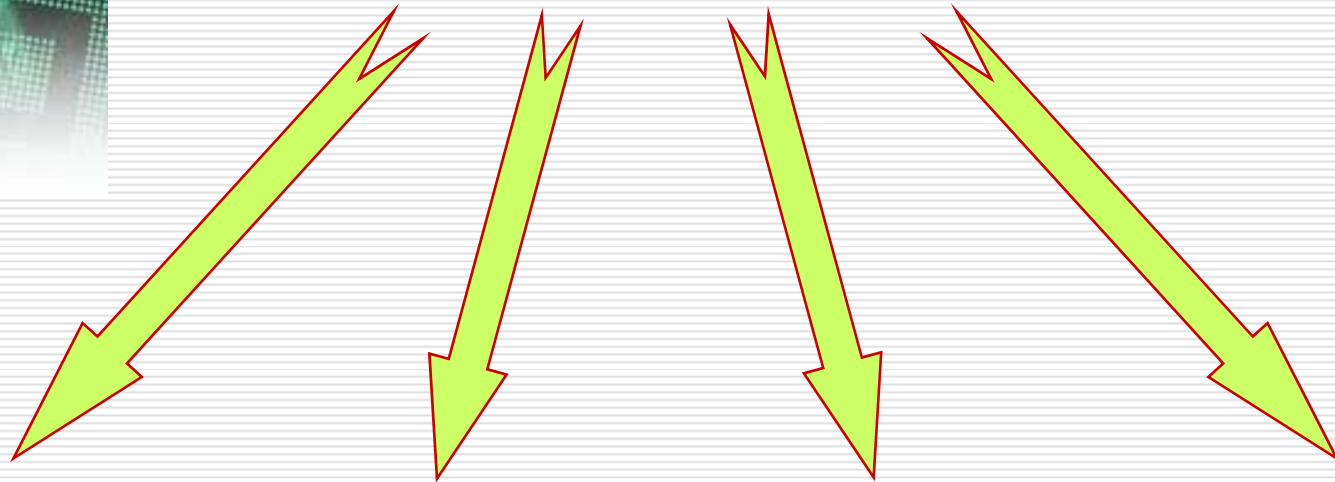
Les circuits logiques
programmables

Programmable Logic Device

PLD



PLD



PAL

GAL

EPLD

FPGA

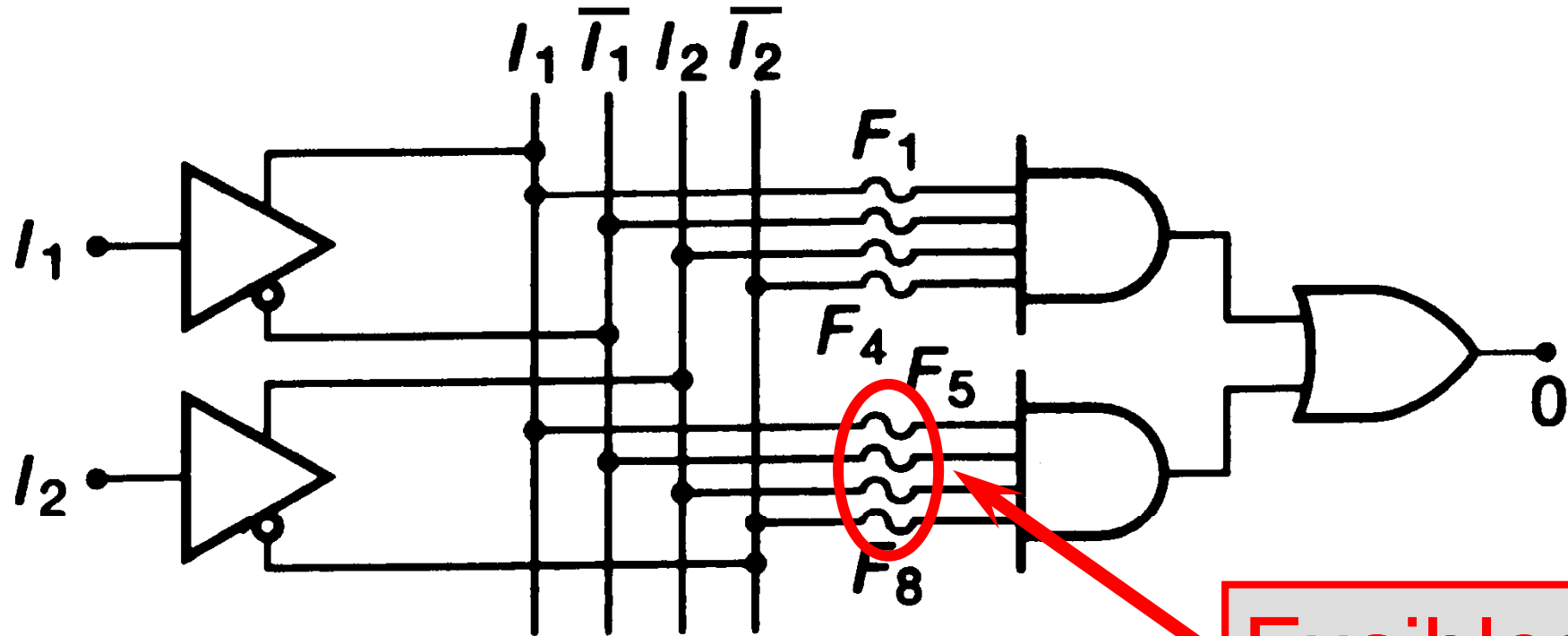


PAL

Programmable Array Logic

Réseau Logique
Programmable

PAL

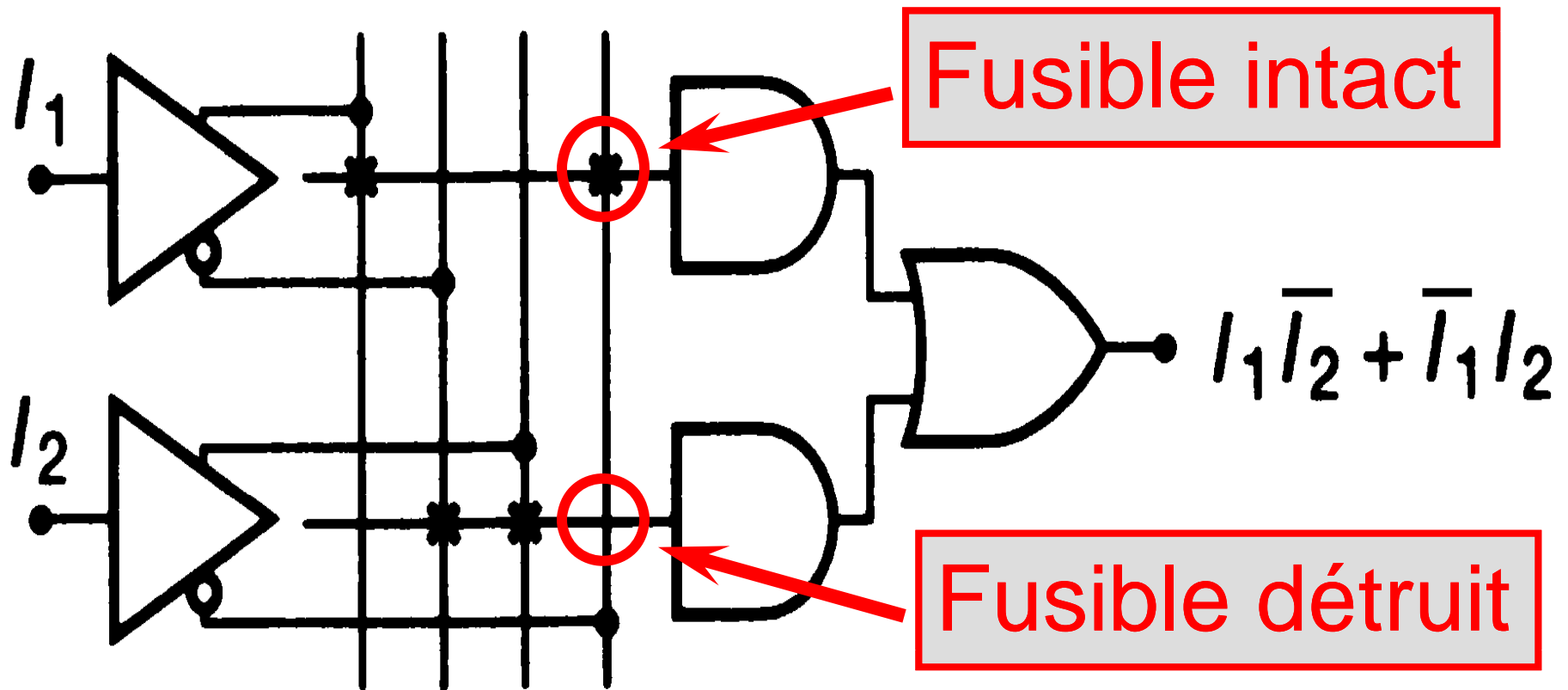


Structure simplifiée d'un PAL
(2 entrées et 1 sortie)

Fusibles

Les fonctions **ET** sont programmables

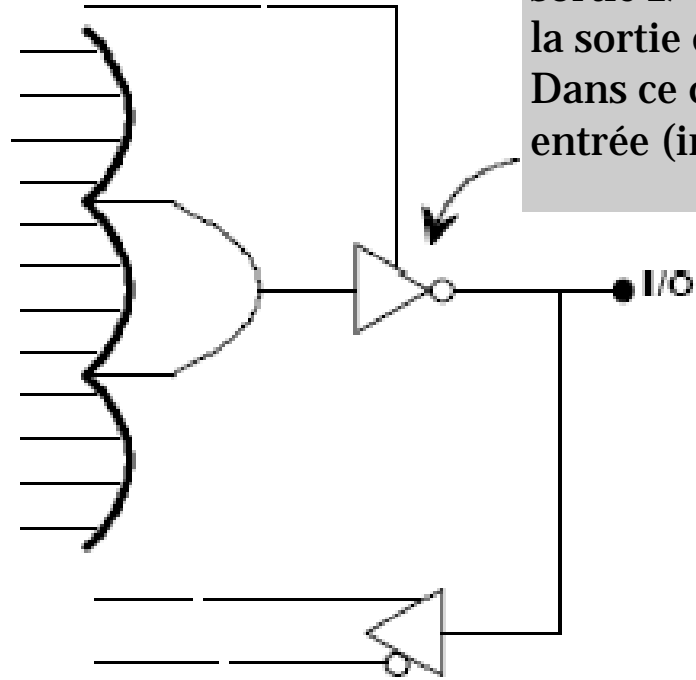
PAL



Exemple de réalisation
d'un OU EXCLUSIF

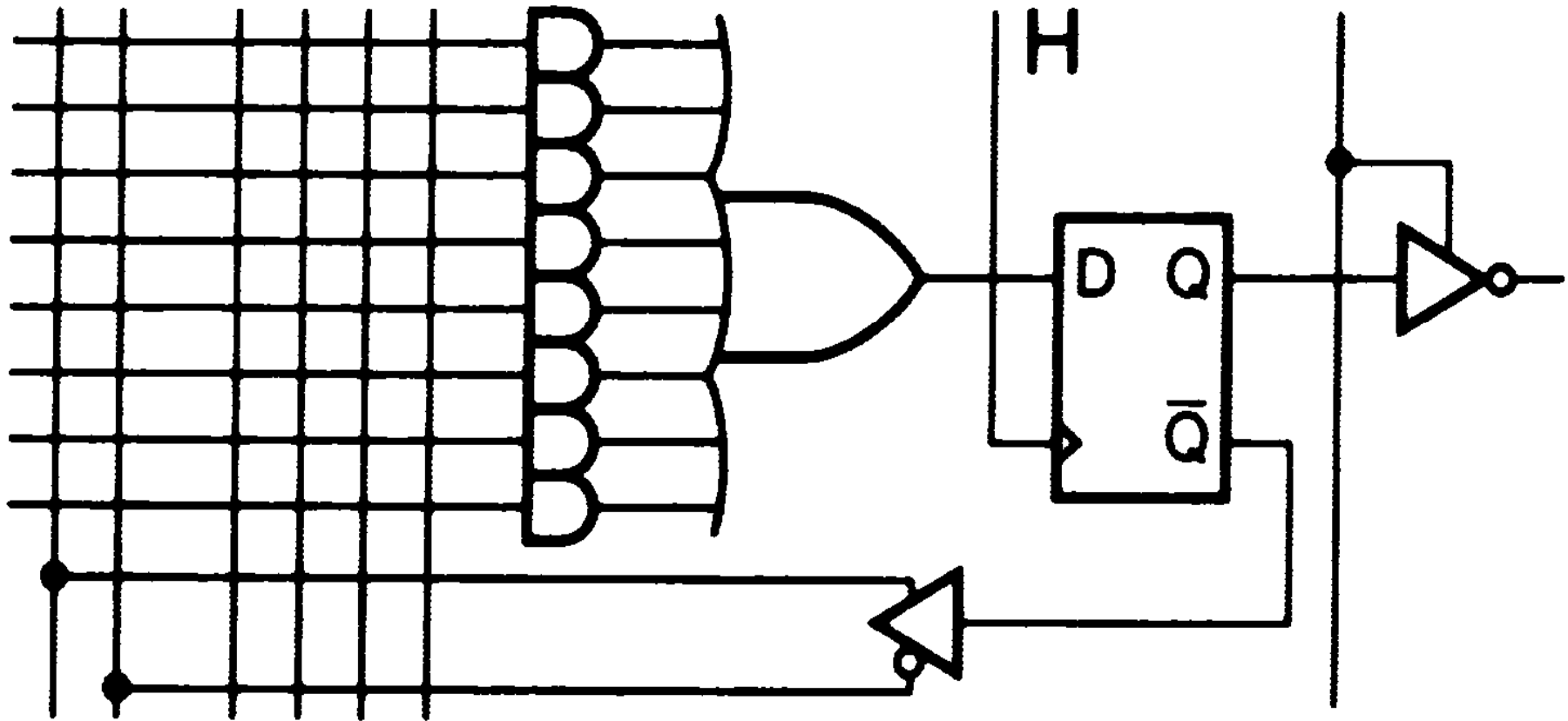
PAL

Porte à sortie 3 états, permettant de déconnecter (rendre indépendant) la sortie I/O de l'état logique imposé par la sortie du OU.
Dans ce cas la sortie I/O est utilisée en entrée (input)



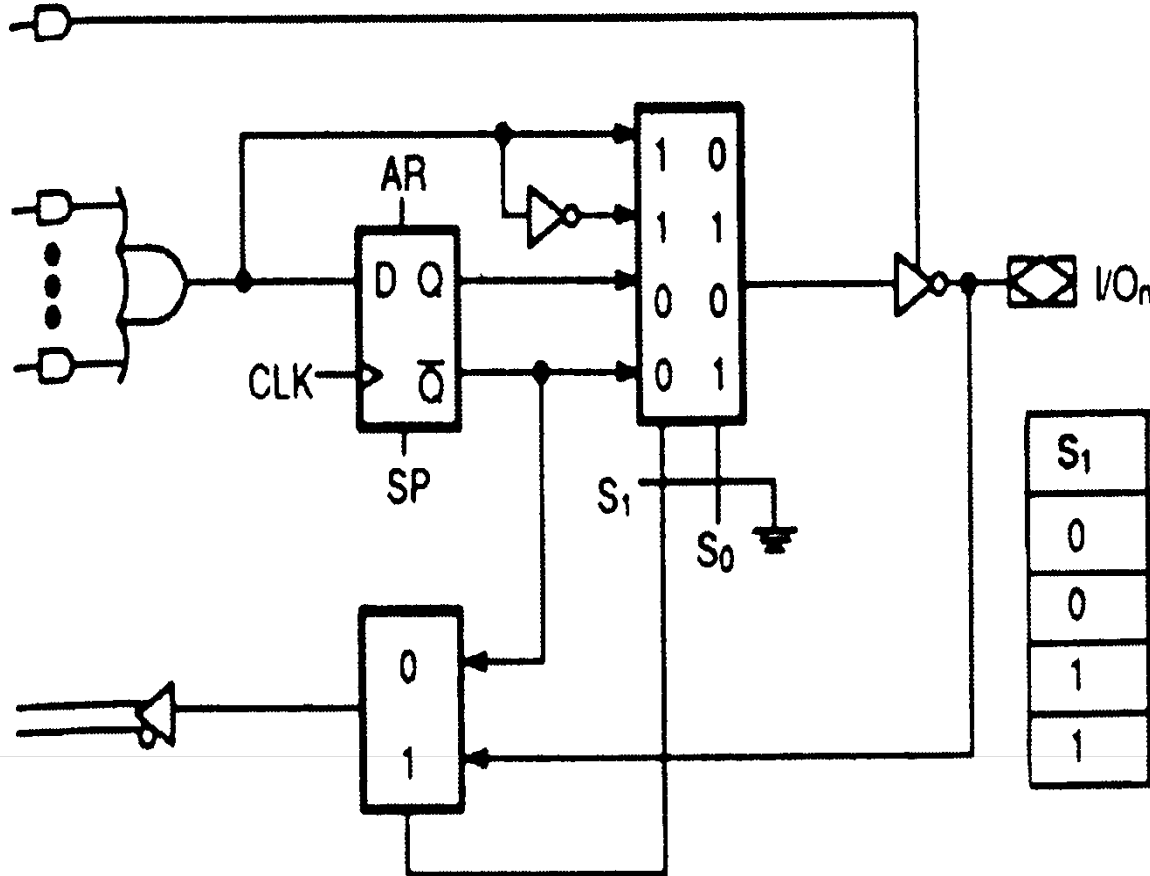
Sortie 3 ETATS

PAL



Sortie à REGISTRE

PAL



S ₁	S ₀	Configuration des sorties
0	0	Registre, actif bas
0	1	Registre, actif haut
1	0	Combinatoire, actif bas
1	1	Combinatoire, actif haut

Entrée / Sortie VERSATILE



GAL

Generic Array Logic

Réseau L

Repr

Un GAL est un
PAL effaçable
électriquement

EPLD

Erasable Programmable

Logic Device

Circuit Logique

reprogrammable

de grande capacité





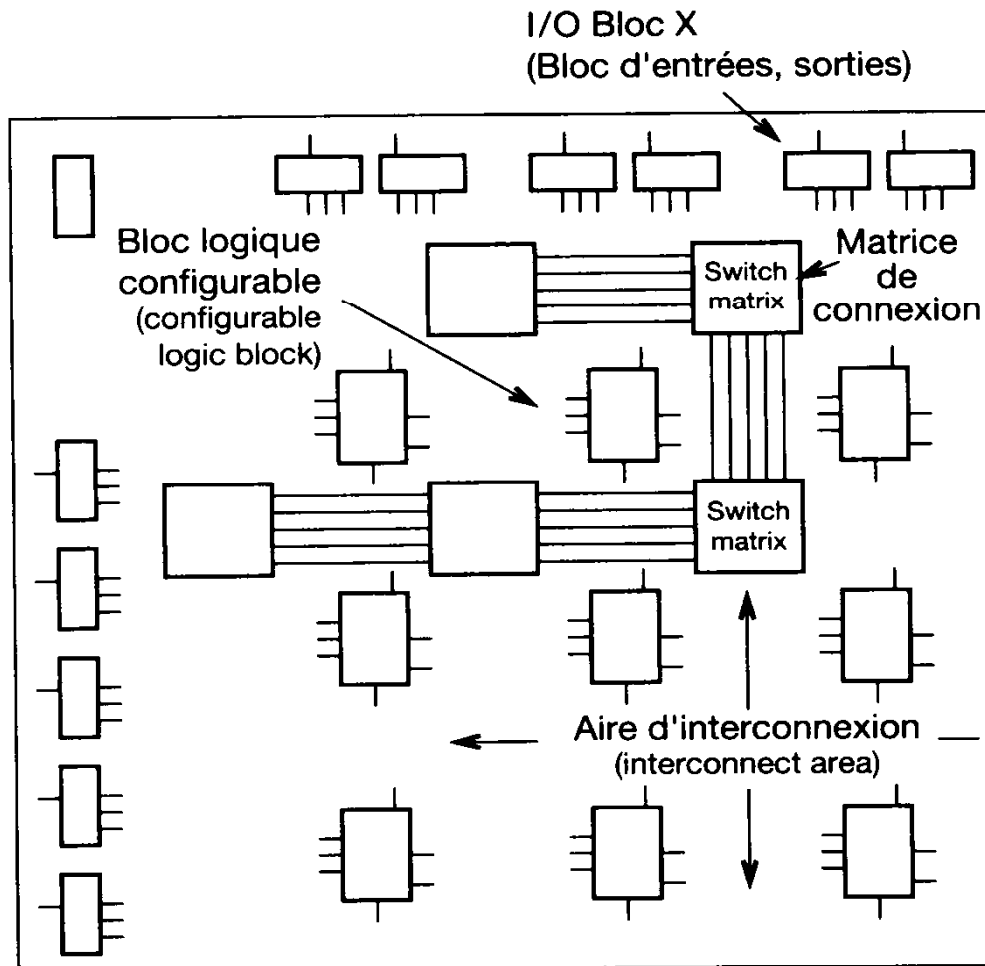
FPGA

Forecasting Programmable Gate Array

Réseau de portes
programmables
à la demande

FPGA

STRUCTURE INTERNE D'UN FPGA (TYPE XILINX)



L'utilisateur
réalise les
interconnexions