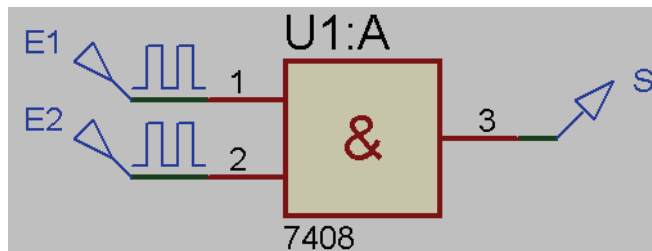


TP - Logique Combinatoire - Théorème de De Morgan

Objectifs :

- Rendre compte par écrit (compte rendu) d'une activité de TP.
- Mettre en œuvre un logiciel de simulation de circuits logiques.

Partie 1 : Simulation d'un opérateur logique élémentaire



Pour cette partie on simulera le fonctionnement d'un opérateur ET à deux entrées. Vous trouverez ce composant dans la librairie **TTL 74 SERIES**. Intitulé du composant : **7408.IEC**

Question 1 : Ouvrir Proteus—Saisir le schéma ci-dessus.

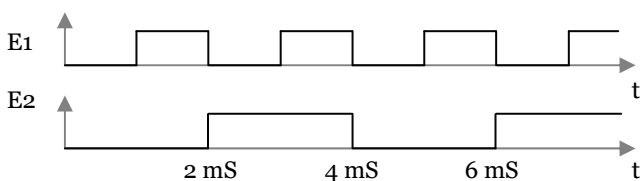
Question 2 :

A partir de ce que vous savez sur cet opérateur :

- Donner le nom de la fonction logique réalisée
- Donner la table de vérité de la sortie S de cet opérateur en fonction de E1 et E2.
- Dessiner les chronogrammes de fonctionnement de la sortie S en fonction de E1 et E2.

Question 3 :

Définir les caractéristiques des deux générateurs de type horloge (Clock generator) placés en entrées de l'opérateur pour obtenir des signaux conformes aux signaux ci-dessous.



Question 4 :

Placer les signaux d'entrées et la sonde en sortie dans le graphe de simulation numérique. Lancer la simulation (touche espace). Ajuster la durée de simulation pour observer environ deux périodes du signal le plus lent (celui qui a la plus grande période).

Vérifiez la véracité des résultats obtenus en vous appuyant sur les résultats de la question 2. Rédigez clairement votre réponse sur votre compte rendu.

Partie 2 : Vérification par simulation du théorème de De Morgan.

Nous allons vérifier ce théorème

$$\overline{A \cdot B} = \overline{A} + \overline{B}$$

Pour cela nous allons réaliser deux simulations.

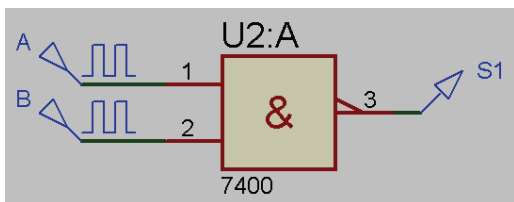
=> La première utilisant un opérateur ET NON à deux entrées correspondant à la première partie de l'équation (partie de gauche)

=> La deuxième utilisant deux opérateurs NON et un opérateur OU à deux entrées correspondant à la deuxième partie de l'équation (partie de droite)

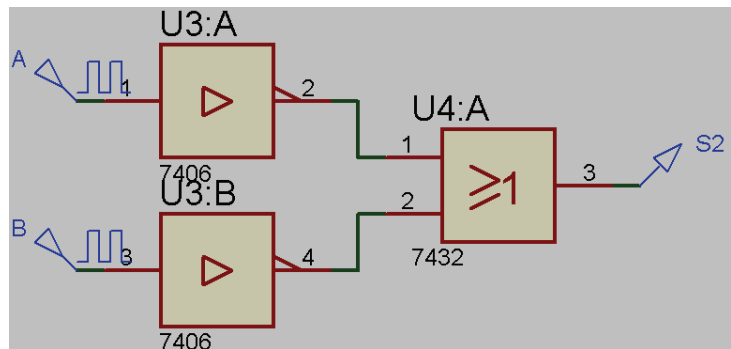
Si les deux schémas donnent par simulation le même résultat sur S, on pourra dire que l'égalité est vérifiée..

Schéma des deux simulations correspondants aux deux parties de l'équation :

Partie de gauche de l'équation



Partie de droite de l'équation



Le but : Montrer qu'en appliquant les mêmes signaux sur les entrées A et B, sur chaque structure, on obtient le même résultat en S1 et en S2

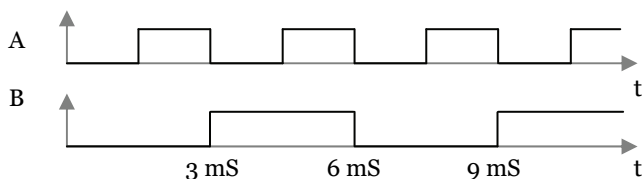
donc au final que $S1 = S2$ (soit l'équation ci-dessus vérifiée)

Question 5 : SAISIE DES 2 SCHEMAS

Réaliser sous ISIS, deux nouveaux schémas conformes aux deux schémas ci-dessus. Les sauvegarder sous un nouveau nom.

Question 6 :

Définir les caractéristiques des deux générateurs de type horloge (Clock generator) placés en entrées de l'opérateur pour obtenir des signaux conformes aux signaux ci-dessous.



Question 7 : SIMULATION—Table de Vérité

Lancer les simulations correspondants aux deux sorties. Placer les valeurs obtenus sur les deux sorties (S1 et S2) dans un tableau pour chaque combinaison des valeurs d'entrées A et B (écrire la table de vérité des deux sorties)

Question 8 : COMPARAISON

-> Comparer vos résultats de simulation.

-> Que peut-on en déduire ?