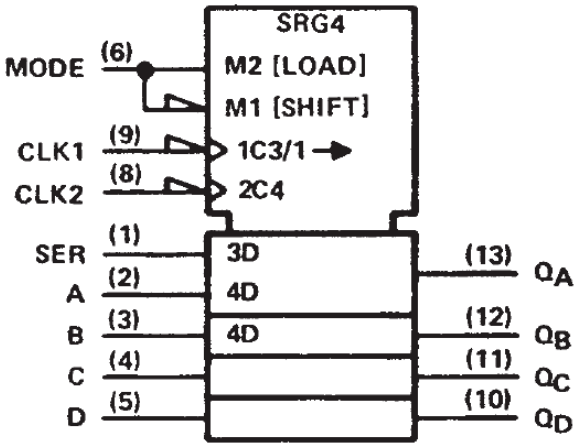
TP - Logique Séquentielle - fonction « Registre à décalage »

1. Mise en œuvre d'un Registre à décalage

Soit le registre à décalage ayant pour référence 7495.



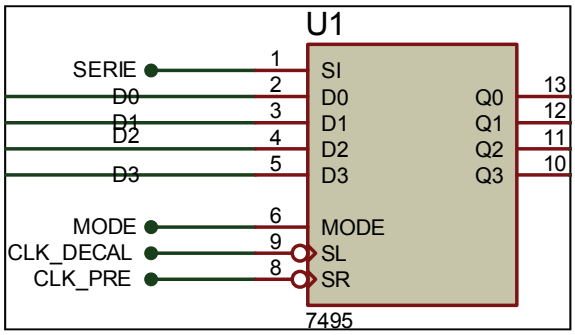
MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS					OUTPUTS			
	S	$\overline{CP_1}$	$\overline{CP_2}$	D_S	P_n	Q_0	Q_1	Q_2	Q_3
Shift	L	↑	X	l	X	L	q_0	q_1	q_2
	L	↑	X	h	X	H	q_0	q_1	q_2
Parallel Load	H	X	↑	X	P_n	P_0	P_1	P_2	P_3
Mode Change	↑	L	L	X	X	No Change			
	↓	L	L	X	X	No Change			
	↑	H	L	X	X	No Change			
	↓	H	L	X	X	Undetermined			
	↑	L	H	X	X	Undetermined			
	↓	L	H	X	X	No Change			
	↑	H	H	X	X	Undetermined			
	↓	H	H	X	X	No Change			

L = LOW Voltage Level
H = HIGH Voltage Level
X = Don't Care
l = LOW Voltage Level one set-up time prior to the HIGH to LOW clock transition.
h = HIGH Voltage Level one set-up time prior to the HIGH to LOW clock transition.
P_n = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the HIGH to LOW clock transition.

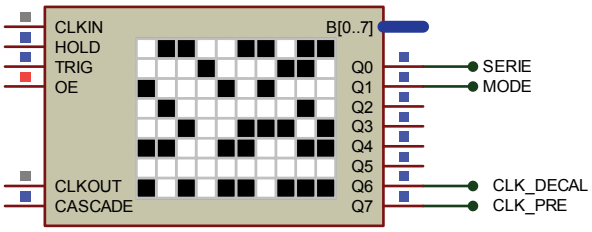
Objectif : Comprendre le fonctionnement de ce circuit par l'analyse des chronogrammes de fonctionnement.

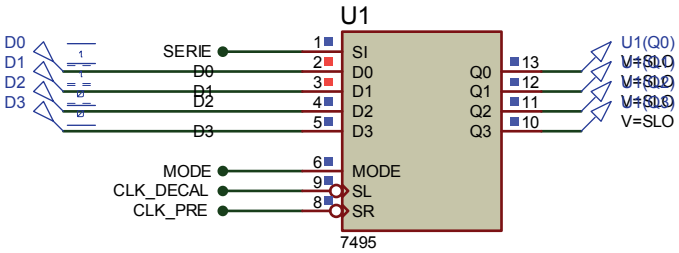
A L'aide du logiciel de simulation Proteus réaliser les opérations suivantes :
1. Saisir sous « **Proteus** » un schéma structurel conforme à celui-ci dessous.
Sauvegarder votre schéma sous un nom compréhensible et nominatif



2. - Positionner 4 sondes de tension en sortie du circuit Q3 à Q0.
   - Positionner 4 générateurs de type numériques pour fixer un état fixe sur les entrées :
     -> Etat haut sur D0 et D1
     -> Etat bas sur D2 et D3

Nous allons utiliser le générateur de motif (Pattern Generator) pour définir les autres signaux d'entrée.
--> Instruments, Pattern Generator.





Placer le Pattern generator

-> Relier Le signal SERIE à Q0

-> Relier Le signal MODE à Q1

-> Relier Le signal CLK_DECAL à Q6

-> Relier Le signal CLK_PRE à Q7

Ouvrir les propriétés du Patern générator, modifier :

-> Clock Rate : 120 Hz (vitesse de défilement des motifs : 120 motif par seconde)

-> Reset Rate : 500mHz (Fréquence de reprise à l'origine : toutes les 2 secondes)

Réglage du motif des signaux du Patern generator :

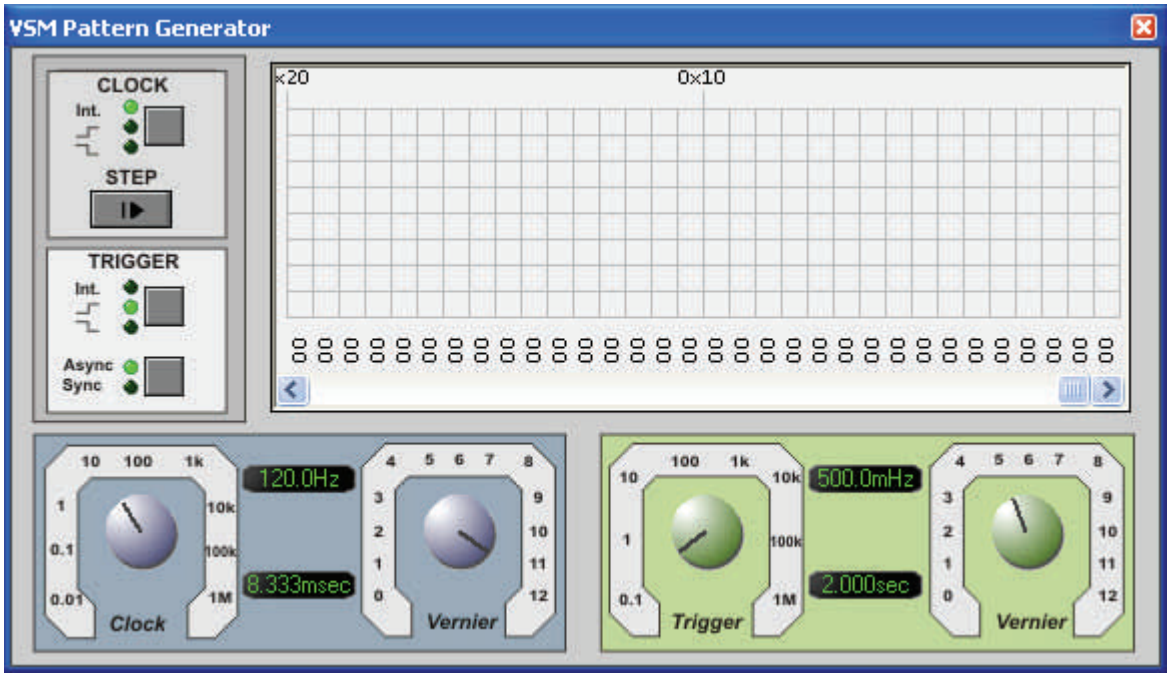
Pour régler la forme des signaux à appliquer sur les 4 signaux reliés au générateur pattern il faut accéder à la config VSM du générateur pour cela cliquer dans le menu :

-> Mise au Point -> Lancer/Relancer la mise au point

puis :

-> Mise au Point -> VSM PATTERN GENERATOR

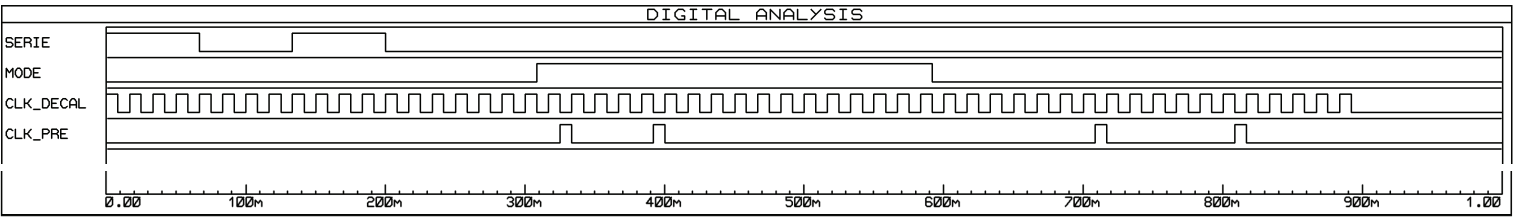
la fenêtre suivante s'affiche :



Chaque colonne correspond à un pas (une durée temporelle (réglé à une seconde pour nous), le temps s'écoule de droite à gauche.

- Un carré noir correspond à un état haut pendant le pas correspondant.
- Un carré blanc (par défaut) correspond à un état haut pendant le pas correspondant.

Régler les 4 sorties pour avoir environ cette configuration sur les sorties du générateur de pattern :



<u>Question :</u> Simuler les sorties du circuit 7495. Imprimer le résultat.

Repérer les différentes phases de fonctionnement du circuit. Et indiquer pour chaque phase ce qu'il se passe (évolution de la valeur des sorties).