

TP - Notions de familles technologiques

1. Technologie des circuits logiques

1.1 Familles technologiques

Les circuits intégrés logiques sont classés suivant leur **technologie de fabrication** (Bipolaire TTL, Bipolaire ECL, MOS, SOI...). Pour un **fonctionnement logique identique**, chaque **technologie offre des performances différentes** sur le plan électrique (Tensions, Courants, Puissances) et temporel (Rapidité).

En général c'est la **vitesse** (temps de propagation interne du signal) ou la **puissance dissipée** qui détermine le choix d'une famille.

Les circuits intégrés d'une **même famille** ont pour point commun la technologie de fabrication employée. Ces circuits **peuvent être interconnectés sans intermédiaires**, de manière à mettre à la disposition de l'utilisateur un jeu de construction aussi complet que possible pour réaliser des structures plus complexes.

C'est la référence du circuit qui détermine sa technologique.

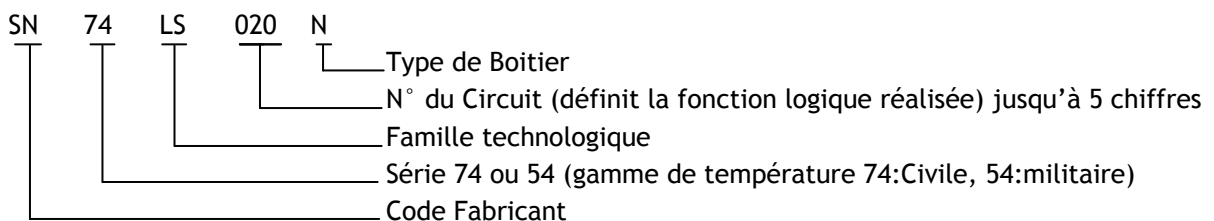
a) Les circuits de la série TTL :

Dans cette série dix grandes familles sont disponibles : **7 en technologie TTL** (Transistor-Transistor-Logique ou logique à base de transistors bipolaires) et **3 en technologie CMOS** (à base de transistors complémentaires MOS [Complémentary Métal-Oxide Semi-conductor])

- TTL Standard 74xx
- TTL Low Power 74Lxx
- TTL Schottky 74Sxx
- TTL Fast 74Fxx
- TTL Low-Power Schottky 74LSxx
- TTL Advanced Schottky 74ASxx
- TTL Advancer Low-Power Schottky 74 ASLxx
- CMOS Classique 74Cxx (même technologie que la série 4000)
- CMOS Rapide (High-speed Cmos) 74HCxx
- CMOS Rapide (High-speed Cmos) 74HCTxx

Remarque : la famille TTL Standard fût la première à être mise sur le marché. Elle a donné naissance à des familles plus performantes. Les équipements électriques actuels ne sont plus développés avec cette famille.

Code de désignation (pour la série 74)



b) Les circuits de la série CMOS :

Dans cette série deux types de circuits sont couramment commercialisés : la série 4000 UB [UnBufferised ?] et la série 4000 B [Bufferised]. Cette dernière à toutes ses sorties « BUFFERISED » ou sorties amplifiées en courant.

c) Remarques générales :

Pour un même numéro de type de circuit [c.à.d toutes les familles de la série 74 ou celles de la famille 4000], la fonction et le brochage sont identiques : la tension d'alimentation est compatible pour toute la série.

Exception est faite pour les technologies à base de transistor CMOS [74HC, 74HCT, et 4000] qui peuvent fonctionner avec une tension comprise entre 3V et 18V.

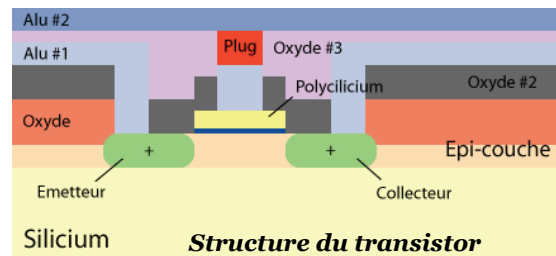
Rappel : Lorsque l'on travaille avec des circuits logiques, deux états logiques sont considérés: l'état logique Haut et l'état logique Bas. **Ces deux états sont définis par des plages de tension.** Ces deux états sont définis par des plages de tensions différentes selon la technologie utilisée. En logique positive l'état haut correspond à une présence de tension et à un « 1 » logique.

Pour en savoir sur les célèbres galettes appelées « WEFER »

Les circuits intégrés sont basés sur la constitution d'un **WAFER** à base de silicium. Ces galettes réalisent des « microcircuits » dont un élément de base est le transistor.

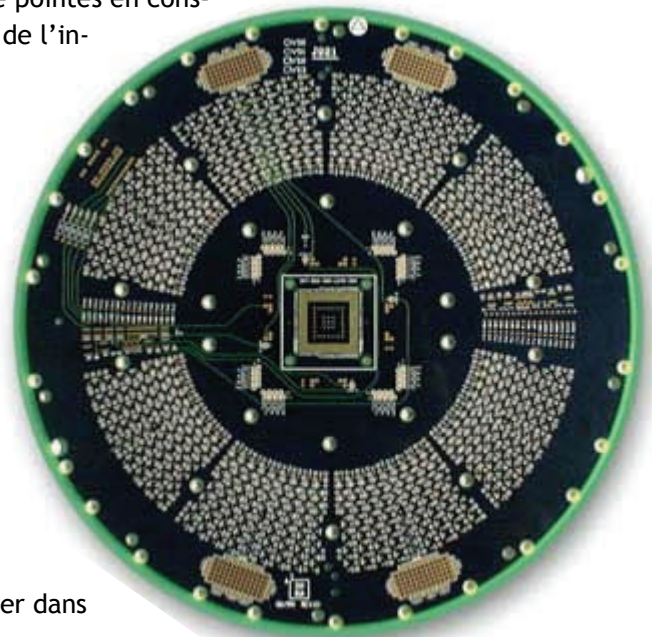
(structure d'un transistor CMOS représenté ci-contre).

L'assemblage de ces transistors réalisent les fonctions logiques souhaitées.



La fabrication de ces Wafer (littéralement Galette) mettent en œuvre des procédés faisant appel aux technologies de pointes en constante évolution. Notamment poussées par l'engouement de l'informatique « du toujours plus rapide... ». La course n'est pas finie... Il suffit de lire un magazine d'informatique pour s'en convaincre.

Cependant les technologies actuelles atteignant leurs limites, (et en attendant les prochaines...) la course du « toujours plus vite » s'oriente vers de nouveaux horizons... tel que plus de fonctionnalités... plus de dialogue... Ici s'arrête les limites de l'ELECTRONIQUE, Le reste s'apparente au monde des « nouvelles technologies... » et à celui du « marketing » qui fait pression pour vendre toujours plus. C'est donc une autre histoire...



Commentaire du prof :

il nous est impossible d'évoquer dans ce cours d'une part :

les techniques mises en œuvre pour réaliser les waffer. (base « physique » des circuits intégrés en électronique...) et d'autre part (les structures internes des composants).

Cependant il existe sur Internet des articles très bien fait sur ces sujets. *Notamment je vous invite fortement sur votre temps libre à lire le bien agréable article en français sur la réalisation des WAFER : Les secrets du Wafer disponible à*

l'adresse Internet suivante :

<http://www.x86-secret.com/popups/articleswindow.php?id=64>



1.2 Caractéristiques des circuits logiques

Une famille logique est caractérisée par ses paramètres électriques :

- la plage des tensions d'alimentation et la tolérance admise sur cette valeur,
- la plage des tensions associée à un niveau logique, en entrée ou en sortie,
- les courants pour chaque niveau logique, en entrée ou en sortie,
- le courant maximum que l'on peut extraire d'une porte logique et le courant absorbé en entrée,
- la puissance maximale consommée qui dépend souvent de la fréquence de fonctionnement.

Les performances dynamiques principales sont :

- les temps de montée (transition bas-haut) et de descente (transition haut-bas) des signaux en sortie d'une porte,
- les temps de propagation d'un signal entre l'entrée et la sortie d'une porte logique.

Paramètres caractéristiques :

VCC ou VDD - tension d'alimentation positive : niveau de tension nécessaire pour alimenter le circuit.

GND ou VSS - tension d'alimentation nulle 0V (ou négative): référence de tension nécessaire pour alimenter le circuit.

V_{IH} (min) - tension d'entrée niveau HAUT: niveau de tension nécessaire pour avoir un 1 logique en entrée.

V_{IL} (max) - tension d'entrée niveau BAS : niveau de tension nécessaire pour avoir un 0 logique en entrée.

V_{OH} (min) - tension de sortie niveau HAUT : niveau de tension de la sortie d'un circuit logique correspondant à l'état logique 1.

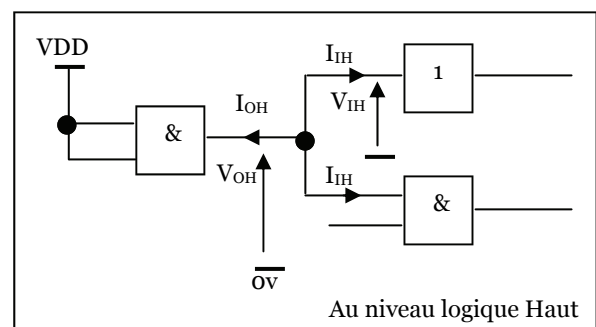
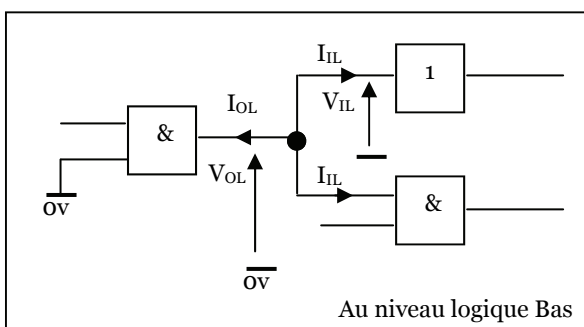
V_{OL} (max) - tension de sortie niveau BAS : niveau de tension de la sortie d'un circuit logique correspondant à l'état logique 0.

I_{IH} - courant d'entrée niveau HAUT : le courant qui traverse une borne d'entrée quand une tension niveau haut est appliquée à cette entrée.

I_{IL} - courant d'entrée niveau BAS : le courant qui traverse une borne d'entrée quand une tension niveau bas est appliquée à cette entrée.

I_{OH} - courant de sortie niveau HAUT : le courant qui traverse une borne de sortie placée au niveau logique 1 dans des conditions de charge spécifiées.

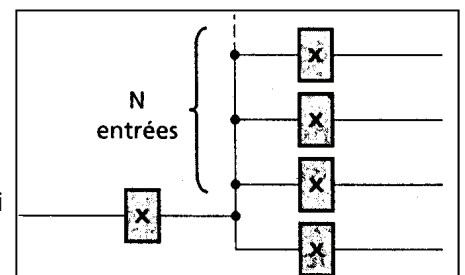
I_{OL} - courant de sortie niveau BAS : le courant qui traverse une borne de sortie placée au niveau logique 0 dans des conditions de charge spécifiées.



Sortance N:

Normalement, la sortie d'une porte logique doit pouvoir piloter plusieurs entrées logiques. La sortance (appelée également facteur de charge) est définie comme le nombre maximal d'entrées logiques standards qui peuvent être pilotées sans problèmes par une sortie.

Par exemple, quand il est indiqué qu'une porte logique a une sortance de 10, cela signifie qu'elle peut piloter 10 entrées logiques standards. Si on dépasse ce nombre, il n'est pas assuré que les tensions des niveaux logiques des sorties seront exactes.



Retards de propagation (Propagation delay Time) : Un signal logique qui traverse un circuit subit toujours un retard (Mesure effectuée à 50 % du signal).

Deux retards de propagation sont définis :

t_{PHL} : retard pour passer du niveau logique 1 au niveau logique 0.

t_{PLH} : retard pour passer du niveau logique 0 au niveau logique 1.

Ce temps détermine la **fréquence maximale F_{max}** à laquelle les circuits intégrés sont capables de réagir.

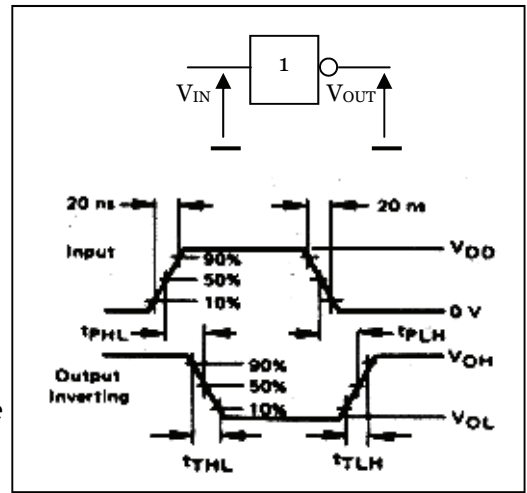
Par convention on limite à **$F_{max} = 1/3t_{pd}$**

Temps de transition en sortie (Theshold Time): Temps nécessaire pour qu'une sortie d'un opérateur logique passe de l'état bas à l'état haut et inversement (Mesure effectuée de 10% à 90 % du signal).

Deux temps de transition sont définis :

t_{TLH} : Temps de montée (ou Output Rise Time)

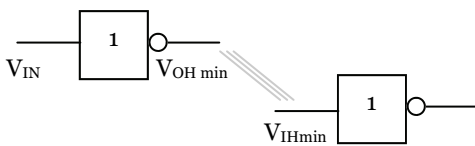
t_{THL} : Temps de descente (ou Output Fall Time)



L'immunité au bruit : Un bruit est une variation intempestive (ou aléatoire) d'une grandeur physique autour de la valeur déterminée (permanente, attendue ou nominale). L'immunité au bruit est la marge de sécurité que l'on peut observer sans provoquer un changement d'état logique non désiré : c'est l'amplitude maximale du signal parasite à superposer au signal d'entrée pour provoquer un changement d'état en sortie.

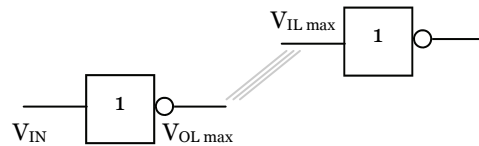
Marge de sensibilité aux bruits à l'état haut :

$$V_{NH} = V_{OH\ min} - V_{IH\ min}$$



Marge de sensibilité aux bruits à l'état bas :

$$V_{NL} = V_{OL\ max} - V_{IL\ max}$$



Gabarit et caractéristique de transfert - SERIE TTL :

Du point de vue du logiciel qui ne tient pas compte des dispersions des grandeurs physiques, les niveaux de tension appliqués sur les entrées et recueillis sur les sorties ne peuvent prendre que deux valeurs quantitatives :

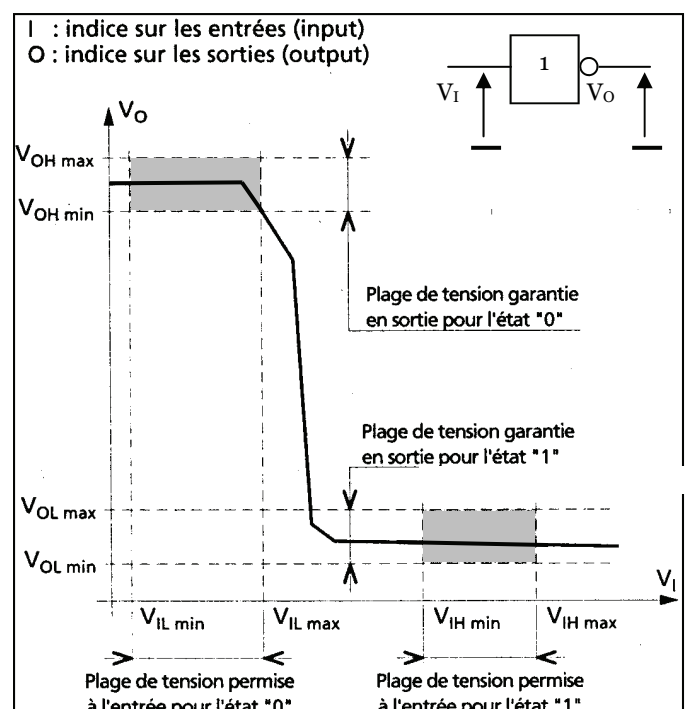
- le niveau HAUT auquel correspond la plus forte d.d.p. (Hight H);
- le niveau BAS auquel correspond la plus faible d.d.p. (Low L).

Pour tenir compte des dispersions des grandeurs physiques, un gabarit de transfert est donné par le constructeur.

Ce gabarit de transfert décrit les seuils haut et bas, d'entrée et de sortie d'un circuit logique.

Une porte satisfait le gabarit si sa courbe de transfert se trouve dans la partie grisée.

La tension de basculement, notée V_T (T pour threshold, seuil), correspond à la tension d'entrée pour laquelle la sortie change d'état.



Gabarit et caractéristique de transfert - SERIE CMOS :

Cette caractéristique de transfert de la famille C-MOS est quasiment idéale. Le seuil de la tension d'entrée déterminant le changement d'état en sortie est d'environ 50% de sa tension d'alimentation.

(c.f. figure ci-contre)

Les niveaux garantis en sortie sont très voisin de la tension d'alimentation.

La figure suivante représente les caractéristiques de transfert comparées des familles TTL et C-MOS pour une tension d'alimentation de + 5 V.

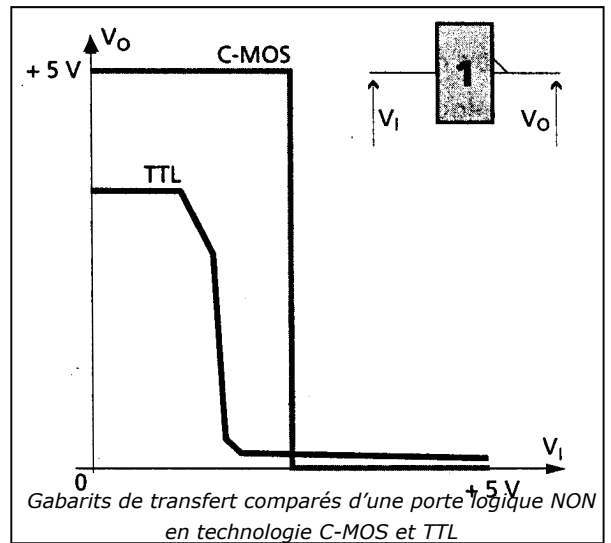
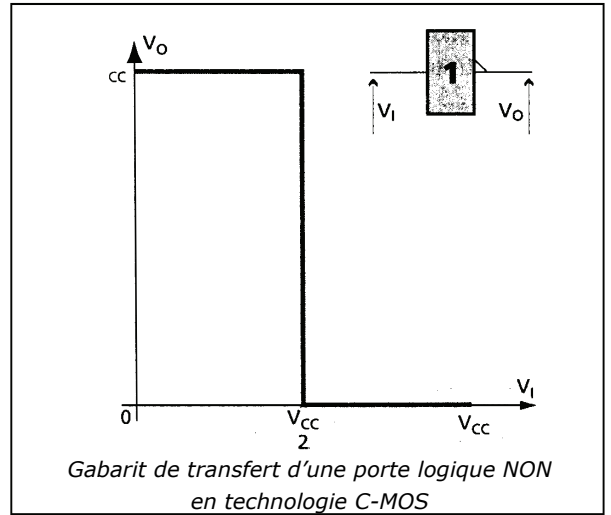
Interfaçage C-MOS / TTL

L'interfaçage avec la famille TTL est réalisé à l'aide d'opérateurs spécifiques lorsque la famille C-MOS fonctionne avec des tensions d'alimentation supérieure à + 5 V.

Caractéristiques comparées des différentes familles TTL et C-MOS :

Le tableau ci-dessous présente les caractéristiques essentielles comparées des familles TTL, C-MOS et leurs dérivés.

Il est donné, à titre indicatif, la comparaison avec l'activité d'un neurone humain.



Famille	Temps de propagation T_p (ns)	Puissance consommée P_c (mW)	Facteur de qualité ($F = P_c \cdot T_p$) F (pJ)	Fréquence maximale ($F = 1/3T_p$) F_{max} (MHz)	Tension d'alimentation (V)	Sortance N
TTL						
TTL-LS						
HC-MOS						
C-MOS						
Neurone	$200 \cdot 10^3$	10^{-6}	0.2	-	-	-

2. TRAVAIL DEMANDE

OBJECTIF : Notre TP portera sur l'étude comparative de deux opérateurs appartenant respectivement aux deux séries TTL et CMOS afin d'identifier leurs caractéristiques respectives et de les comparer aux données constructeurs.

2.1 Etude préliminaire

Question 1. Compléter le tableau comparatif de la page précédente en recherchant les informations nécessaires sur les documentations constructeurs (fournies)

Question 2. Compléter votre recherche en regroupant dans un tableau les autres paramètres caractéristiques pour les circuits mis à votre disposition (1 en TTL, 1 en CMOS)

2.2 Etude expérimentale - Opérateur logique de la série TTL

Nous allons utiliser une porte NON : Référence circuit

Caractéristique de transfert V_o / V_i

Question 3 - A l'aide des données constructeur, tracer le gabarit du diagramme V_o / V_i .

N.B :Faire apparaître les valeurs V_{IH} , V_{IL} , V_{OL} , V_{OH} et les plages garanties par le constructeur.

Question 4 - Mesures : (Tension d'alimentation: $V_{DD} = 5V$; $V_{SS} = 0V$)

Faire varier la tension d'entrée entre 0 et 5V et relever à chaque fois la tension de sortie.

Vérifier que la caractéristique s'inscrit dans le gabarit.

Caractéristique de sortie $V_o = f(I_o)$

a) Sortie à l'état HAUT :

Question 5 - En plaçant la sortie de l'opérateur à l'état haut (NDLR: en agissant sur l'entrée...)

Faire varier la résistance R. Mesurer V_o et I_o . Tracer la courbe.

b) Sortie à l'état BAS :

Question 6 - En plaçant la sortie de l'opérateur à l'état bas (NDLR: en agissant toujours sur l'entrée...)

Faire varier la résistance R. Mesurer V_o et I_o . Tracer la courbe.

Temps de propagation

A fin de réaliser une meilleure mesure placer 5 opérateurs en cascade. Le signal V_i d'entrée est rectangulaire et doit varier entre 0 et 5V.

Note : utiliser le GBF pour créer le signal V_i . Appliquer dans un premier temps ce signal à l'oscilloscope (et uniquement à ce dernier) pour en régler la forme et l'amplitude.

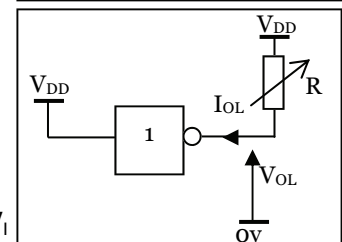
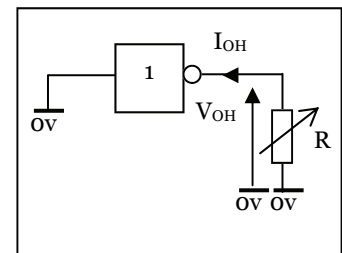
Question 7 - Mesurer les temps de propagation t_{PLH} et t_{PHL} . En déduire le temps de propagation moyen t_p .

2.2 Etude expérimentale - Opérateur logique de la série CMOS

Nous allons utiliser une porte OU-NON câblée en opérateur NON : Référence circuit

Caractéristique de transfert V_o / V_i

Question 8 - Relever et tracer la caractéristique V_o / V_i (Les mesures se font de la même façon que pour les circuits TTL - c.f question 3)



Temps de propagation

Câbler les quatre opérateurs OU-NON pour réaliser quatre opérateurs NON en cascade.

Question 9 . Réaliser les mesures nécessaires pour calculer le temps de propagation moyen T_p . La démarche est identique à la question 7.

2.3 CONCLUSION

Question 10 - Comparer les caractéristiques de transferts de chaque technologie.

Question 11 - Déterminer, en utilisant les données constructeur, les marges de sensibilité aux bruits.

Question 12 - Une porte TTL peut-elle piloter une porte CMOS, et vice-versa ? Justifier la réponse.

Question 13 - Comparer les temps de propagation. Que remarque-t-on ?

Question 14 - Qu'est ce qui déterminera le choix de la technologie à utiliser pour une application donnée ?